



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월30일
 (11) 등록번호 10-1313176
 (24) 등록일자 2013년09월24일

(51) 국제특허분류(Int. Cl.)
 B82B 3/00 (2006.01) B82B 1/00 (2006.01)
 B82Y 40/00 (2011.01)
 (21) 출원번호 10-2011-0039300
 (22) 출원일자 2011년04월27일
 심사청구일자 2011년04월27일
 (65) 공개번호 10-2012-0121466
 (43) 공개일자 2012년11월06일
 (56) 선행기술조사문헌
 KR1020050086693 A*
 KR1020110024892 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 한국표준과학연구원
 대전 유성구 도룡동 1
 (72) 발명자
 이우
 대전광역시 유성구 배울2로 61, 테크노밸리 꿈에
 그린 아파트 1007동 102호 (관평동)
 김정길
 대전광역시 유성구 가정로 267, 301동 B20호 (도
 룡동, 한국표준과학연구원)
 (74) 대리인
 박창희, 김종관, 권오식

전체 청구항 수 : 총 7 항

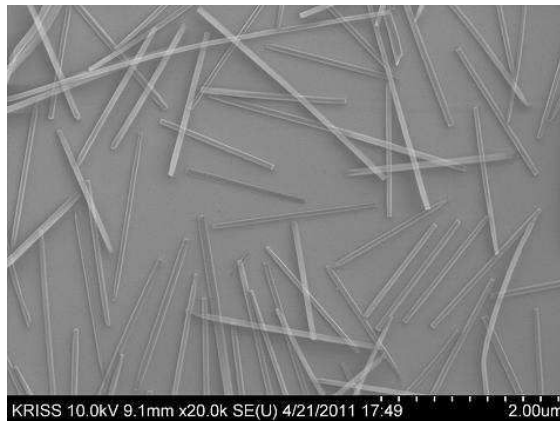
심사관 : 김성식

(54) 발명의 명칭 길이가 제어된 반도체 나노와이어의 연속적 대량생산방법

(57) 요약

본 발명은 탑-다운 방식으로 반도체 나노와이어를 제조하는 방법에 관한 것으로, 상세하게, 본 발명에 따른 반도체 나노와이어의 제조방법은 a) 반도체 기판 상부에 다수개의 관통 공동이 형성된 망형의 금속막을 형성하는 촉매형성단계; b) 상기 금속막을 촉매로 상기 반도체 기판을 습식 에칭하여, 일 단이 반도체 기판에 부착된 다수개의 반도체 나노와이어를 제조하는 부분에칭단계; 및 c) 상기 반도체 나노와이어가 형성된 반도체 기판에 초음파를 인가하여 상기 반도체 나노와이어를 반도체 기판으로부터 절단하고, 반도체 기판으로부터 독립된 반도체 나노와이어 및 금속막이 잔류하는 반도체 기판을 얻는 절단단계;를 포함하는 특징이 있다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호 2010-0029332

부처명 교육과학기술부

연구사업명 국가연구개발사업

연구과제명 반도체 공정기반 수직정렬 나노선 열전소자 원천기술개발

주관기관 한국표준과학연구원

연구기간 2010.09.01 ~ 2011.08.31

특허청구의 범위

청구항 1

- a) 반도체 기판 상부에 다수개의 관통 공동이 형성된 망형의 금속막을 형성하는 촉매형성단계;
- b) 상기 금속막을 촉매로 상기 반도체 기판을 습식 에칭하여, 일 단이 반도체 기판에 부착된 다수개의 반도체 나노와이어를 제조하는 부분에칭단계; 및
- c) 상기 반도체 나노와이어가 형성된 반도체 기판을 액상인 매질에 담지하고, 상기 매질을 초음파 전달 매체로 하여, 50 내지 200W의 파워 및 10kHz 내지 100kHz의 주파수로 상기 반도체 기판에 초음파를 인가하여 상기 반도체 나노와이어를 반도체 기판으로부터 절단하고, 하기 관계식 1 및 하기 관계식 2를 만족하는 반도체 기판으로부터 독립된 다수개의 반도체 나노와이어 및 금속막이 잔류하는 반도체 기판을 얻는 절단단계;를 포함하는 반도체 나노와이어의 제조방법.

(관계식 1)

$$0.99 D_{etch} \leq L_{nw} \leq 0.998 D_{etch}$$

(상기 D_{etch} 는 상기 부분식각단계에 의해 반도체 기판이 식각된 깊이를 의미하며, 상기 L_{nw} 는 독립된 반도체 나노와이어의 길이를 의미한다.)

(관계식 2)

$$0.2 \% \leq \sigma_{nw} \times 100 / L_{nw}^{mean} \leq 1 \%$$

(상기 σ_{nw} 는 상기 반도체 기판으로부터 절단된 반도체 나노와이어간의 길이 편차를 의미하며, L_{nw}^{mean} 은 상기 반도체 기판으로부터 절단된 반도체 나노와이어의 평균 길이를 의미한다.)

청구항 2

제 1항에 있어서,

상기 c) 단계 후, 상기 c) 단계에서 얻어진 금속막이 잔류하는 반도체 기판을 이용하여 상기 부분에칭 단계 및 상기 절단단계가 반복적으로 수행되는 것을 특징으로 하는 반도체 나노와이어의 제조방법.

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 c) 단계의 반도체 나노와이어의 길이는 상기 b) 단계의 상기 습식 에칭이 수행되는 시간에 의해 제어되는 것을 특징으로 하는 반도체 나노와이어의 제조방법.

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 매질은 에탄올을 포함하는 C1-C5의 저가알콜, 탈이온수 및 상기 반도체 기판의 습식 에칭액에서 하나 또는 둘 이상 선택된 것을 특징으로 하는 반도체 나노와이어의 제조방법.

청구항 7

제 6항에 있어서,

상기 반도체 기관의 습식 에칭액인 상기 매질은 상기 부분에칭단계에 사용된 습식 에칭액인 것을 특징으로 하는 반도체 나노와이어의 제조방법.

청구항 8

삭제

청구항 9

제 1항에 있어서,

상기 b) 단계 후 및 상기 c) 단계 전,

상기 금속막을 양극으로, 상기 습식에칭의 에칭 용액에 담지된 백금 전극을 음극으로 하여, 상기 금속막에 전압 또는 전류를 인가하여 상기 금속막과 접촉하는 반도체 나노와이어를 양극산화시키는 단계;

가 더 수행되는 것을 특징으로 하는 반도체 나노와이어의 제조방법.

청구항 10

제 1항에 있어서,

상기 b) 단계는

상기 금속막을 촉매로 상기 반도체 기관을 습식 에칭하는 에칭단계; 및

상기 금속막을 양극으로, 상기 습식에칭의 에칭 용액에 담지된 백금 전극을 음극으로 하여, 상기 금속막에 전압 또는 전류를 인가하여 상기 금속막과 접촉하는 반도체 나노와이어를 양극산화시키는 산화단계;를 포함하며,

상기 에칭단계 및 산화단계를 일 단위공정으로, 상기 단위공정이 적어도 2회 이상 반복 수행되며,

상기 산화단계에 의해 기관에 부착된 다수개의 반도체 나노와이어에 형성된 적어도 둘 이상의 다공성 마디가 각각 상기 c) 단계에 의해 절단되는 것을 특징으로 하는 반도체 나노와이어의 제조방법.

명세서

기술분야

[0001] 본 발명은 길이가 제어된 반도체 나노와이어의 연속적 대량 생산방법에 관한 것으로, 상세하게, 매우 간단한 방법으로 나노와이어의 길이를 제어할 수 있으며, 나노와이어의 제조시 반도체 물질의 소모를 최소화하여 생산 단가를 낮추고, 나노와이어의 제조에 소요되는 시간이 매우 짧으며, 길이가 제어된 나노와이어를 대량 생산 할 수 있으며, 촉매 물질을 함유하지 않는 고 순도의 나노와이어를 제조할 수 있으며, 단일한 반도체 기관으로부터 연속적인 방법으로 길이가 제어된 나노와이어를 대량 생산할 수 있는 방법에 관한 것이다.

배경기술

[0002] 최근, 반도체 나노와이어들을 기관으로부터의 분리를 통하여 채취하고, 얻어진 나노와이어들을 고성능 전광자 소자, 태양전지, 리튬이온 이차전지, 에너지소자, 바이오센서 등에 응용하려는 연구가 활발히 진행되고 있다.

[0003] VLS(vapour-liquid-solid) 성장법으로 대표되는 상향식(Bottom-up) 접근법을 통한 반도체 나노와이어 제조의 경우, 금속 입자를 촉매로 하여 나노와이어를 성장시키는데, 반도체 나노와이어의 성장 과정에서 단결정 구조의 나노와이어 제조에 한계를 가지고 있으며, 반도체 나노와이어의 성장 후에는 금속 촉매가 반도체 나노와이어 끝 부분에 위치하게 되어, 한번 나노와이어의 성장이 이루어진 후에는 다시 재사용이 불가능한 단점을 가지고 있다.

[0004] 또한, 직경 및 결정학적 방향이 제어된 균일한 나노와이어를 얻어내는데 어려움이 있으며, 제조된 나노와이어들은 촉매로 사용된 금속 불순물을 포함하고 있는 심각한 문제점을 갖고 있다.

[0005] 반도체 나노와이어 제조의 경제적 하향식(Top-down) 접근법으로는 금속을 촉매로 이용한 반도체 기관의 화학적

습식에칭법이 있다. 이 방법은 다공성 알루미늄 산화물(Anodic aluminum oxide)을 이용하거나 고분자 나노구 리소그래피(polymer nanosphere lithography) 등 여러가지 패터닝 방법을 통하여 촉매로 사용될 균일한 금속 박막의 구멍지름과, 밀도의 제어가 가능하다.

[0006] 상기 방법을 통하여 패터닝 된 다공성 금속박막을 촉매로 하여 반도체를 에칭용액 속에서 식각되게 한다. 보통 반도체 기관의 두께는 500 μm 안팎의 두께를 갖게 되는데, 최근 수십 nm부터 수십 μm 의 길이를 갖는 반도체 나노 와이어의 제작에서는 아래 부분에 남은 많은 반도체 기관이 낭비되는 한계가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 엄밀하게 길이가 제어된 반도체 나노와이어의 제조방법을 제공하는 것이며, 촉매 물질을 함유하지 않는 고 순도의 나노와이어를 제조하는 방법을 제공하는 것이며, 고가의 장비를 사용하지 않고 나노와이어의 제조시 반도체 물질의 소모를 최소화하여 생산 단가가 낮은 제조방법을 제공하는 것이며, 나노와이어의 제조에 소요되는 시간이 매우 짧으며, 길이가 제어된 나노와이어를 대량 생산 할 수 있는 방법을 제공하는 것이며, 연속적인 방법으로 길이가 제어된 나노와이어를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명에 따른 나노와이어 제조방법은 a) 반도체 기관 상부에 다수개의 관통 공동이 형성된 망형의 금속막을 형성하는 촉매형성단계; b) 상기 금속막을 촉매로 상기 반도체 기관을 습식 에칭하여, 일 단이 반도체 기관에 부착된 다수개의 반도체 나노와이어를 제조하는 부분에칭단계; 및 c) 상기 반도체 나노와이어가 형성된 반도체 기관에 초음파를 인가하여 상기 반도체 나노와이어를 반도체 기관으로부터 절단하고, 반도체 기관으로부터 독립된 반도체 나노와이어 및 금속막이 잔류하는 반도체 기관을 얻는 절단단계;를 포함하여 수행되는 특징이 있다.

[0009] 보다 특징적으로, 본 발명에 따른 제조방법은 상기 c) 단계 후, 상기 c) 단계에서 얻어진 금속막이 잔류하는 반도체 기관을 이용하여 상기 부분에칭 단계 및 상기 절단단계가 반복적으로 수행되는 연속 공정인 특징이 있다.

[0010] 보다 특징적으로, 상기 절단 단계는 c1) 상기 반도체 나노와이어가 형성된 반도체 기관을 액상인 매질에 담지하는 단계; 및 c2) 상기 매질을 초음파 전달 매체로 하여 상기 반도체 기관에 초음파를 인가하는 단계;를 포함하여 수행되는 특징이 있다.

[0011] 상기 c1) 단계의 매질은 에탄올을 포함하는 C1~C5의 저가알콜, 탈이온수 및 상기 반도체 기관의 습식 에칭액에서 하나 또는 둘 이상 선택된 특징이 있으며, 보다 특징적으로, 상기 반도체 기관의 습식 에칭액인 상기 매질은 상기 부분에칭단계에 사용된 습식 에칭액인 특징이 있다.

[0012] 상기 c) 단계의 반도체 나노와이어의 길이는 상기 b) 단계의 상기 습식 에칭이 수행되는 시간에 의해 제어되며, 상기 c) 단계에서 인가되는 초음파의 파워는 50 내지 200W인 특징이 있으며, 인가되는 초음파의 주파수는 10kHz 내지 100kHz인 특징이 있다.

[0013] b) 단계의 습식 에칭시 제조되는 나노와이어의 종횡비(aspect ratio)에 따라 절단된 나노와이어의 길이가 영향을 받으나, 적어도 b) 단계에서 제조되는 나노와이어의 종횡비가 5 내지 50 일 때, 상기 초음파의 인가에 의해 상기 절단단계에서 하기 관계식 1 및 하기 관계식 2를 만족하는 길이가 엄밀하게 제어된 다수개의 독립된 반도체 나노와이어가 제조되는 특징이 있다.

[0014] (관계식 1)

$$[0015] \quad 0.99 D_{\text{etch}} \leq L_{\text{nw}} \leq 0.998 D_{\text{etch}}$$

[0016] 상기 D_{etch} 는 상기 부분식각단계에 의해 반도체 기관이 식각된 깊이를 의미하며, 상기 L_{nw} 는 독립된 반도체 나노 와이어의 길이를 의미한다.

[0017] (관계식 2)

- [0018] $0.2 \% \leq \sigma_{nw} \times 100 / L_{nw}^{mean} \leq 1 \%$
- [0019] 상기 σ_{nw} 는 상기 반도체 기판으로부터 절단된 반도체 나노와이어간의 길이 편차를 의미하며, L_{nw}^{mean} 은 상기 반도체 기판으로부터 절단된 반도체 나노와이어의 평균 길이를 의미한다.
- [0020] 본 발명에 따른 제조방법에 있어, 상기 b) 단계 후 및 상기 c) 단계 전, 상기 금속막을 양극으로, 상기 습식 에칭의 에칭 용액에 담지된 백금전극을 음극으로 하여, 상기 금속막에 전압 또는 전류를 인가하여 상기 금속막과 접촉하는 반도체 나노와이어를 양극산화시키는 단계;가 더 수행되는 특징이 있다.
- [0021] 본 발명에 따른 제조방법에 있어, 상기 b) 단계에서 상기 습식 에칭의 수행시, 상기 반도체 기판에 전압을 인가하여 다공성 구조의 반도체 나노와이어가 제조되는 특징이 있다.
- [0022] 본 발명에 따른 제조방법에 있어, 상기 b) 단계에서, 금속막의 재질이 금(Au)인 경우 상기 습식 에칭의 수행시, 상기 반도체 기판의 습식 에칭을 50-70℃에서 수행하여, 반도체 나노와이어의 장축이 반도체 기판 표면에 대해 일정 각도로 배향된 반도체 나노와이어가 제조되는 특징이 있다.
- [0023] 본 발명에 따른 제조방법에 있어, 상기 b) 단계에서, 상기 습식 에칭의 수행시, 상기 반도체 기판의 습식 에칭액은 과산화수소를 함유하며, 상기 과산화수소의 농도가 서로 다른 제1습식 에칭액 및 제2습식 에칭액으로 상기 실리콘 기판을 교번하여 에칭하여 지그재그 구조를 갖는 반도체 나노와이어가 제조되는 특징이 있다.
- [0024] 본 발명에 따른 제조방법에 있어, 상기 b) 단계에서, 상기 습식 에칭의 수행시, 촉매인 상기 금속막에 주기적인 전압 (또는 전류) 펄스를 인가하여, 다공성 구조 마디가 형성된 반도체 나노와이어가 제조되는 특징이 있다. 이때, 상기 전압 (또는 전류) 펄스의 인가시간(duration time) 및 전압(또는 전류) 펄스의 인가 횟수를 제어하여, 반도체 나노와이어에 형성된 다공성 영역의 길이 및 다공성 영역의 개수를 제어할 수 있으며, 상기 습식 에칭의 수행 시 상기 전압 (또는 전류) 펄스의 인가 시점을 제어하여, 반도체 나노와이어에 형성되는 다공성 영역의 위치를 제어할 수 있다.
- [0025] 특징적으로, 본 발명에 따른 제조방법에 있어, 상기 b) 단계는 상기 금속막을 촉매로 상기 반도체 기판을 습식 에칭하는 에칭단계; 및 상기 금속막을 양극으로, 상기 습식 에칭의 에칭 용액에 담지된 백금 전극을 음극으로 하여, 상기 금속막에 전압 또는 전류를 인가하여 상기 금속막과 접촉하는 반도체 나노와이어를 양극산화시키는 산화단계;를 포함하며, 상기 에칭단계 및 산화단계를 일 단위공정으로, 상기 단위공정이 적어도 2회 이상 반복 수행되며, 상기 산화단계에 의해 기판에 부착된 다수개의 반도체 나노와이어에 형성된 적어도 둘 이상의 다공성 마디가 각각 상기 c) 단계에 의해 절단되는 특징이 있다.

발명의 효과

- [0026] 본 발명에 따른 반도체 나노와이어의 제조방법은 단일한 반도체 기판으로부터 동일한 직경을 갖는 반도체 나노와이어를 단시간 내에 대량생산할 수 있는 장점이 있으며, 반도체 나노와이어가 제조된 후 버려지는 반도체 기판의 양을 최소화 할 수 있는 장점이 있으며, 나노와이어의 제조에 사용된 반도체 기판의 재사용이 가능하여 고가의 반도체 기판의 낭비를 방지할 수 있으며, 엄밀하게 길이가 제어된 반도체 나노와이어를 극히 용이하게 제조할 수 있는 장점이 있으며, 촉매를 함유하지 않는 고순도의 반도체 나노와이어를 제조할 수 있으며, 단일한 반도체 기판으로부터 연속적인 방법으로 길이가 제어된 나노와이어를 제조할 수 있는 장점이 있으며, 나노와이어의 제조에 필요한 번거로운 전 공정을 생략할 수 있어 신속하고 간편하게 나노와이어를 제조할 수 있는 장점이 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명에 따른 제조방법을 도시한 일 공정도이며,
- 도 2는 본 발명에 따라 실리콘 기판의 에칭에 의해 형성된 실리콘 나노와이어 어레이를 관찰한 주사전자현미경 사진이며,
- 도 3은 본 발명에 따라 나노와이어가 절단된 실리콘 기판의 표면을 관찰한 주사전자현미경 사진이며,
- 도 4는 본 발명에 따라 실리콘 기판으로부터 절단된 실리콘 나노와이어를 관찰한 주사전자현미경 사진이며,

도 5는 본 발명에 따른 제조방법을 도시한 다른 공정도이며,
 도 6은 본 발명에 따른 제조방법을 도시한 또 다른 공정도이며,
 도 7은 본 발명에 따른 제조방법을 도시한 또 다른 공정도이며,
 도 8은 본 발명의 부분에칭단계에서 인가되는 전압 펄스의 파형을 도시한 일 예이다.

도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판 200 : 금속막
 300 : 반도체 기판에 일 단이 부착된 나노와이어
 400 : 독립된 나노와이어 3 : 다공성 마디

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 첨부한 도면들을 참조하여 본 발명의 제조방법을 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 또한 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0029] 이때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.
- [0030] 본 발명에 따른 나노와이어 제조방법은 습식 에칭시 촉매 역할을 수행하는 다공성 금속막에 의해 반도체 기판을 습식에칭하는 탑-다운 방식으로 다수개의 반도체 나노와이어가 부착된 반도체 기판을 제조한 후, 상기 반도체 기판에 초음파를 인가하여 물리적으로 상기 반도체 나노와이어를 절단하여 다수개의 독립된 반도체 나노와이어를 제조하는 특징이 있다.
- [0031] 보다 특징적으로, 본 발명에 따른 나노와이어 제조방법은 상기 반도체 나노와이어가 초음파 인가 후 절단되어 반도체 나노와이어의 제조를 위해 이미 사용되어 상기 다공성 금속막이 표면에 잔류하는 반도체 기판을 다시 습식에칭하여 반도체 기판에 반도체 나노와이어를 다시 형성한 후, 초음파를 인가하여 독립된 반도체 나노와이어를 재 생산하는 특징이 있다.
- [0032] 이하, 도면을 참고로 하여 본 발명에 따른 나노와이어의 제조방법을 상술한다.
- [0033] 도 1은 본 발명에 따른 나노와이어 제조방법을 도시한 일 공정도로, 도 1에 도시한 바와 같이, 본 발명에 따른 제조방법은 반도체 기판(100) 상부에 다수개의 관통 공동(1)이 형성된 망형의 금속막(200)을 형성하는 촉매형성 단계, 상기 금속막(200)을 촉매로 상기 반도체 기판(100)을 습식 에칭하여, 일 단이 반도체 기판에 부착된 다수개의 반도체 나노와이어(300)를 제조하는 부분에칭단계 및 상기 반도체 나노와이어(300)가 형성된 반도체 기판(100)에 초음파를 인가하여 상기 반도체 나노와이어(300)를 반도체 기판으로부터 절단하고, 반도체 기판으로부터 독립된 반도체 나노와이어(400) 및 금속막(200)이 잔류하는 반도체 기판(100)을 얻는 절단단계;를 포함하여 수행되는 특징이 있다.
- [0034] 상기 반도체 기판(100)은 금속 촉매를 이용한 화학적 에칭이 수행될 수 있는 반도체 기판(100)이면 사용 가능하며, 일 예로, 상기 반도체 기판(100)은 실리콘(Si), 게르마늄 또는 실리콘게르마늄(SiGe)을 포함하는 4족 반도체 기판; 갈륨비소(GaAs), 인듐인(InP) 또는 갈륨인(GaP)을 포함하는 3-5족 반도체 기판; 황화카드뮴(CdS) 또는 텔루르화아연(ZnTe)을 포함하는 2-6족 반도체 기판; 또는 황화납(PbS)을 포함하는 4-6족 반도체기판;을 포함한다.
- [0035] 결정학적으로 상기 반도체 기판(100)은 단결정 기판, 다결정 기판 또는 비정질 기판을 포함한다.
- [0036] 또한, 상기 반도체 기판(100)은 p형 불순물, n형 불순물 또는 p형 및 n형 불순물을 함유한 반도체 기판을 포함하며, 깊이에 따라 불순물의 농도 또는 도전형이 달라지는 도핑 프로파일을 갖는 반도체 기판을 포함한다.
- [0037] 상기 촉매형성단계는 상기 반도체 기판(100)의 일 표면에 다수개의 관통 공동(1)을 갖는 망형의 금속막(200)을

형성하는 단계이다.

- [0038] 상기 촉매형성단계는 나노다공성 알루미늄산화물(AAO; anodic alumina oxide)를 주형(template)으로 하여 상기 반도체 기판(100) 상부에 촉매 금속 물질을 증착하여 상기 망형의 금속막(200)을 제조할 수 있으며, 독립적으로 제조된 망형의 금속막(200)을 상기 반도체 기판(100) 상부에 부착하여 수행될 수 있다.
- [0039] 망형의 금속막(200)을 상기 반도체 기판(100)에 부착하는 경우, 상기 망형의 금속막은 나노다공성 알루미늄산화물과 같은 다공성 템플릿에 금속을 증착한 후, 상기 다공성 템플릿을 습식 에칭으로 제거하여 독립된 망형의 금속막(200)을 제조한 후, 제조된 망형의 금속막(200)을 이송용액 표면에 띄우고, 상기 이송용액의 표면과 접하는 금속막(200)의 일 면이 상기 반도체 기판과 맞닿도록 접촉시킨 후 이송용액을 증발시켜 상기 망형의 금속막(200)을 상기 반도체 기판(100)에 부착할 수 있다.
- [0040] 상기 금속막(200)은 Ag, Au, Pt 또는 전이금속인 촉매 금속인 것이 바람직하며, 상기 금속막(200)은 지름이 수 내지 수십 나노미터 오더인 원형의 공동이 규칙적으로 서로 이격 배열되어 있는 망형인 것이 바람직하다.
- [0041] 반도체 기판(100)의 상부에 촉매 금속을 증착하여 망형의 금속막(200)을 제조하는 보다 상세한 내용은 본 출원인의 대한민국공개특허 제2010-0019722호를 참고하며, 독립된 망형의 금속막(200)을 제조하고 이를 상기 반도체 기판(100) 상부에 부착하는 보다 상세한 내용은 본 출원인의 대한민국공개특허 제2011-0024892호를 참고한다.
- [0042] 상기 부분에칭 단계에서, 금속막(200)의 금속 물질이 촉매 작용을 하여, 상기 금속막(200)과 맞닿은 반도체 기판(100)의 영역이 선택적으로 습식 에칭된다.
- [0043] 보다 상세하게, 상기 금속막(200)은 습식 에칭시, 반도체 기판으로부터 전자를 끌어들이며 금속막(200) 하부의 반도체 기판을 산화시켜 금속막(200) 하부에 산화막층을 형성하고, 상기 산화막층이 상기 습식 에칭에 사용되는 에칭액에 의해 에칭된다. 이러한 산화막층의 형성 및 에칭의 순환반응이 연속적으로 수행되며, 상기 금속막(200)과 접촉하는 반도체 기판 영역만이 선택적으로 제거된다. 에칭 과정에서, 알짜 반응에는 관여하지 않고 촉매 작용을 하는 상기 금속막(200)은 상기 반도체 기판(100) 표면에 잔존하게 된다.
- [0044] 이에 따라, 상기 금속막(200)의 관통 동공(1)의 직경은 나노와이어(300)의 단축 직경으로 전사되며, 상기 금속막(200)에 형성된 관통 동공(1)의 수에 의해 상기 반도체 기판(100)상 형성되는 나노와이어(300)의 수가 제어되며, 상기 금속막(200)의 관통 동공(1)의 배열이 반도체 기판(100)상 형성되는 나노와이어(300)의 배열로 전사된다. 또한, 반도체 나노와이어(300)의 길이는 반도체 기판(100)이 에칭되는 깊이에 의해 조절되며, 상기 반도체 기판(100)의 에칭 깊이는 습식 에칭이 수행되는 시간을 조절하여 용이하게 조절될 수 있다.
- [0045] 상기 습식 에칭에 사용되는 에칭액은 불산, 과산화수소 및 탈이온수가 혼합된 혼합액 또는 플루오르화 암모늄, 과산화수소 및 탈이온수가 혼합된 혼합액인 것이 바람직하다.
- [0046] 이때, 상기 습식 에칭의 수행시, 상기 반도체 기판에 전압을 인가하여 다공성 구조의 반도체 나노와이어를 제조할 수 있으며, 금속막의 재질이 금(Au)인 경우 가열된 상기 에칭액을 이용하여, 반도체 나노와이어의 장축이 반도체 기판 표면에 대해 일정 각도로 배향된 반도체 나노와이어를 제조할 수 있으며, 상기 에칭액에 함유된 상기 과산화수소의 농도가 서로 다른 제1습식 에칭액 및 제2습식 에칭액으로 상기 실리콘 기판을 교번하여 에칭하여 지그재그 구조를 갖는 반도체 나노와이어를 제조할 수 있으며, 촉매인 상기 금속막에 주기적인 전압 (또는 전류) 펄스를 인가하여, 다공성 구조 마디가 형성된 반도체 나노와이어를 제조할 수 있다. 다공성 구조 마디가 형성된 반도체 나노와이어의 제조시, 상기 전압 (또는 전류) 펄스의 인가시간(duration time) 및 전압(또는 전류) 펄스의 인가 횟수를 제어하여, 반도체 나노와이어에 형성된 다공성 영역의 길이 및 다공성 영역의 개수를 제어할 수 있으며, 상기 습식에칭의 수행시 상기 전압 (또는 전류) 펄스의 인가 시점을 제어하여, 반도체 나노와이어에 형성되는 다공성 영역의 위치를 제어할 수 있다.
- [0047] 상기 습식 에칭의 상세 조건, 다공성 반도체 나노와이어의 상세 제조 조건, 배향된 반도체 나노와이어의 상세 제조 조건, 지그재그 구조를 갖는 반도체 나노와이어의 상세 제조 조건 및 다공성 구조 마디가 형성된 반도체 나노와이어의 상세 제조 조건은 본 출원인의 대한민국공개특허 제2011-0024892호를 참고한다.
- [0048] 도 2는 지름 60nm의 동공이 육각 벌집 구조로 형성된 다공성 Au막을 촉매로 하고, 상기 Au막이 표면에 위치된 실리콘 기판을 HF, H₂O₂ 및 H₂O의 혼합액인 에칭액에 담지시켜 제조된 실리콘 나노와이어(직경: 60 nm, 길이 6000 nm) 어레이의 주사전자현미경 사진이다.
- [0049] 상기 부분에칭단계에 의해 일 단이 상기 반도체 기판(100)에 고정된 다수개의 반도체 나노와이어(300) 어레이가

제조되며, 이때, 도 1에 도시한 바와 같이 상기 금속막(200)은 촉매 작용을 함에 따라 훼손되지 않은 상태로 상기 반도체 기판(100)에 잔존하게 된다.

[0050] 상기 반도체 기판(100)에 부착된 반도체 나노와이어(300)는 상기 절단단계에 의해 상기 반도체 기판(100)으로부터 절단되어 독립된 반도체 나노와이어(400)로 제조된다.

[0051] 상기 절단단계는 반도체 나노와이어(300)가 형성된 반도체 기판(100)에 초음파를 인가하여 수행되는 특징이 있다. 상세하게, 초음파의 물리적 진동에 의해 상기 반도체 나노와이어(300)에 물리적 충격이 가해지고, 상기 반도체 기판(100)에 고정된 상기 반도체 나노와이어(300)의 일 단에 상기 충격이 집중되어 상기 반도체 나노와이어(300)가 절단되는 특징이 있다.

[0052] 보다 특징적으로, 상기 반도체 나노와이어(300)가 형성된 반도체 기판(100)을 액상인 매질에 담지하고, 상기 매질을 초음파 전달 매체로 하여 상기 반도체 기판(100)에 초음파를 인가하여, 상기 반도체 나노와이어(300)를 반도체 기판(100)으로부터 분리한다.

[0053] 바람직하게, 절단단계는 상기 액상의 매질이 담긴 용기의 바닥면에 반도체 나노와이어(300)가 상부에 위치하도록 상기 반도체 나노와이어(300)가 형성된 반도체 기판(100)을 담지한 후, 상기 용기의 바닥면 또는 측면에 초음파 진동을 인가하여 수행된다.

[0054] 상기 액상의 매질을 통해 상기 초음파 진동이 상기 반도체 나노와이어(300)에 전달되므로, 댐핑(damping)이 방지되며 빠르고 균일하게 상기 반도체 나노와이어에 물리적 진동이 전달되어, 균일한 크기를 갖는 독립적인 반도체 나노와이어가 제조된다.

[0055] 또한, 상기 액상의 매질을 통해 상기 초음파 진동을 기판(100)에 고정된 나노와이어(300)에 전달함으로써, 상기 부분에칭단계에서의 에칭 깊이와 유사한 깊이를 갖는 독립된 반도체 나노와이어(400)의 제조가 가능하다.

[0056] 이때, 절단된 나노와이어의 균일성(크기의 균일성), 절단 시간의 단축 측면에서 상기 초음파 진동은 상기 기판에 형성된 반도체 나노와이어의 장축과 수직인 방향으로 인가 되는 것이 바람직하다.

[0057] 상기 매질은 에탄올을 포함하는 C1-C5의 저가알콜, 탈이온수 및 상기 반도체 기판의 습식 에칭액에서 하나 또는 둘 이상 선택된 것이 바람직하다.

[0058] 상기 매질이 상기 반도체 기판(100)의 습식 에칭액인 경우, 상기 부분에칭단계에서 사용된 에칭액과 동일한 에칭액인 것이 바람직하며, 이에 의해, 상기 부분에칭단계에서 일정 시간동안 에칭을 수행하여 소정 길이의 반도체 나노와이어(300)를 제조한 후, 반도체 나노와이어가 형성된 반도체 기판(100)의 분리 및 회수 없이, 진동소자를 이용하여 바로 초음파를 인가하여 반도체 나노와이어(300)의 절단이 수행될 수 있는 특징이 있다.

[0059] 상술한 바와 같이, 액상 매질을 통해 전달되는 초음파 진동의 에너지에 의해 상기 반도체 나노와이어(300)의 일 단(반도체 기판에 부착된 단)이 절단되어 독립된 나노와이어(400)가 제조된다.

[0060] 반도체 나노와이어(300) 어레이가 형성된 기판으로부터, 다수개의 반도체 나노와이어(300)의 밀둥(반도체 기판에 부착된 영역, 2)을 동일하게 절단하고, 상기 초음파의 파워를 제어하는 것이 바람직하다.

[0061] 인가되는 상기 초음파의 파워는 상기 반도체 기판(100)에 형성된 나노와이어(300)의 중횡비에 의해 제어되는 특징이 있으며, 상기 반도체 기판(100)에 형성된 나노와이어의 중횡비가 5 내지 50인 경우, 초음파의 파워는 50 내지 200W인 특징이 있으며, 이때, 인가되는 초음파의 주파수는 10kHz 내지 100kHz인 것이 바람직하다.

[0062] 상기 초음파 파워를 50 내지 200W로 제어함으로써, 하기 관계식 1 및 하기 관계식 2를 만족하는 독립적인 반도체 나노와이어(300)가 제조된다.

[0063] (관계식 1)

$$[0064] 0.99 D_{etch} \leq L_{nw} \leq 0.998 D_{etch}$$

[0065] (상기 D_{etch} 는 상기 부분식각단계에 의해 반도체 기판이 식각된 깊이를 의미하며, 상기 L_{nw} 는 독립된 반도체 나노와이어의 길이를 의미한다.)

[0066] (관계식 2)

$$[0067] 0.2 \% \leq \sigma_{nw} \times 100 / L_{nw}^{mean} \leq 1 \%$$

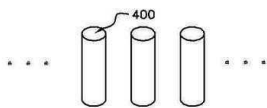
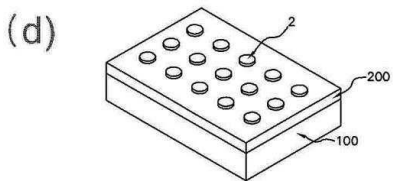
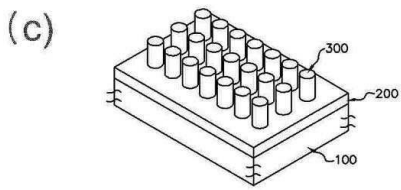
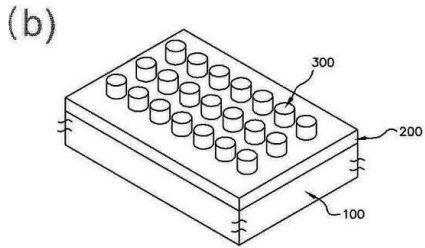
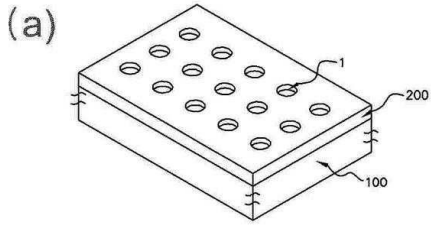
- [0068] (상기 σ_{nw} 는 상기 반도체 기판으로부터 절단된 반도체 나노와이어간의 길이 편차를 의미하며, L_{nw}^{mean} 은 상기 반도체 기판으로부터 절단된 반도체 나노와이어의 평균 길이를 의미한다.)
- [0069] 도 3은 도 2의 실리콘 나노와이어가 형성된 기판을 무수에탄올에 담지한 후, 100 W, 42 kHz (+6%)의 초음파를 5분 동안 인가한 후 실리콘 기판을 회수하여 관찰한 주사전자 현미경 사진이며, 도 4는 상기 무수에탄올에 남아 있는 절단된 실리콘 나노와이어를 관찰한 주사전자현미경 사진이다.
- [0070] 도 3 및 도 4에서 알 수 있듯이 상기 초음파 절단에 의해 실리콘 나노와이어의 밀둥(2)이 균일하게 잘려지며 금속막이 잔류하는 실리콘 기판이 얻어지며, 물리적으로 손상되지 않으며 동일한 길이를 갖는 실리콘 나노와이어가 제조됨을 알 수 있다.
- [0071] 상술한 바와 같이, 본 발명에 따른 반도체 나노와이어의 제조방법은 다수개의 관통 기둥이 형성된 다공성 금속막을 촉매로 탑-다운 방식으로 반도체 기판을 습식 에칭하여 반도체 기판에 부착된 다수개의 반도체 나노와이어를 제조한 후, 초음파를 인가하여 상기 반도체 나노와이어를 반도체 기판으로부터 절단하는 특징이 있다.
- [0072] 나아가, 본 발명에 따른 반도체 나노와이어의 제조방법은 상기 반도체 나노와이어의 제조에 이미 사용된 반도체 기판을 이용하여 반도체 나노와이어를 연속적으로 제조하는 특징이 있다.
- [0073] 도 5는 본 발명에 따른 나노와이어 제조방법을 도시한 다른 공정도로, 도 5에 도시한 바와 같이, 본 발명에 따른 나노와이어의 제조방법은 상기 도 1을 기반으로 상술한 촉매형성단계, 부분에칭단계 및 절단단계를 거쳐 반도체 나노와이어의 제조에 이미 사용된 반도체 기판(100)을 이용하여 반도체 나노와이어(300)를 제조하는 특징이 있다.
- [0074] 상세하게, 상기 절단단계에서 독립된 나노와이어들과 함께 얻어지는 반도체 기판(100)에는 촉매 작용을 하는 상기 금속막(200)이 상기 반도체 기판(100) 표면에 잔존하게 된다.
- [0075] 상기 반도체 기판(100)에 잔류하는 금속막(200)은 알짜반응에 관여하지 않는 촉매입에 따라, 상기 부분에칭단계에서 손상되지 않고 동공 구조를 유지한다. 이에 따라, 상기 절단단계에서 얻어진 금속막이 잔존하는 반도체 기판(100)을 다시 습식 에칭하여 반도체 기판(100)에 반도체 나노와이어(300)를 제조할 수 있으며, 초음파 절단을 이용하여 반도체 기판(100)으로부터 독립된 반도체 나노와이어(400)를 제조하는 특징이 있다.
- [0076] 상기 절단 단계에서 액상의 매질을 통해 초음파를 인가함으로써, 독립된 반도체 나노와이어를 제조하며 기판에 반도체 나노와이어의 밀둥(2)이 남도록 절단 가능하다. 상기 밀둥(2)은 독립된 반도체 나노와이어(400)를 초음파처리를 통하여 반도체 기판(100)으로부터 채취 후에 남은 부분으로, 다공성 금속막(200)을 반도체 기판(100)으로부터 떨어지지 않고 견고하게 부착되도록 하고 그 초기 형태를 유지하도록 하여 연속적인 반도체 기판의 에칭을 안정적으로 수행할 수 있는 역할을 한다.
- [0077] 도 6은 본 발명에 따른 제조방법을 도시한 또 다른 공정도로, 도 6에 도시한 바와 같이, 본 발명의 제조방법은 보다 특징적으로, 나노와이어의 중횡비와 무관하게 상기 관계식 1 및 2를 만족하는 반도체 나노와이어를 연속적으로 제조하기 위해, 상기 반도체 기판의 부분에칭 단계 후 및 상기 초음파 절단 단계 전, 상기 금속막(200)을 양극으로, 상기 습식에칭의 에칭 용액에 담지된 백금 전극을 음극으로 하여, 상기 금속막(200)에 전압 또는 전류를 인가하여 상기 금속막(200)과 접촉하는 반도체 나노와이어를 양극산화시키는 단계;가 더 수행되는 특징이 있다.
- [0078] 상세하게, 상기 양극산화 단계는 상기 금속막에 전압 또는 전류를 인가하여, 부분에칭단계에서 제조되는 나노와이어의 밀둥(2)에 다공성 마디(3)를 형성하기 위한 것으로, 상기 금속막(200)에 전압 또는 전류가 인가되면 상기 금속막(200)과 접촉하고 있는 반도체 나노와이어에 다량의 홀 주입이 인위적으로 수행되게 되고, 금속막과 접한 반도체 나노와이어의 표면이 선택적으로 산화되게 되고 에칭액에 의해 산화된 표면이 녹아서, 반도체 나노와이어의 밀둥부분(금속막과 접촉하는 나노와이어의 하단부, 2)이 다공성 구조를 갖게 된다.
- [0079] 상기 부분에칭 단계를 수행한 후, 상기 양극산화단계에 의해 상기 나노와이어의 밀둥(2) 부분을 다공성 구조로 만듦으로써, 상기 초음파 인가에 의한 절단시, 다공성 마디(3)가 형성된 나노와이어의 밀둥(2)이 균일하게 잘려 나노와이어의 중횡비와 무관하게 균일한 크기를 갖는 독립된 나노와이어를 매우 용이하게 제조할 수 있게 된다. 상기 양극산화단계에서 인가되는 전압은 1 내지 5V인 것이 바람직하며, 전압 또는 전류의 인가시간은 0.2초 내지 1초인 것이 바람직하다.
- [0080] 도 7은 본 발명에 따른 제조방법을 도시한 또 다른 공정도이며, 도 8은 본 발명의 부분에칭단계에서 인가되는

전압 펄스의 파형을 도시한 일 예이다.

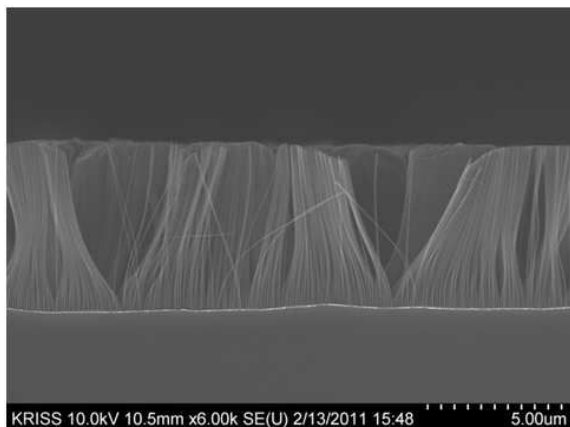
- [0081] 도 7 내지 도 8에 도시한 바와 같이, 본 발명의 제조방법은 보다 특징적으로, 상기 금속막(200)을 촉매로 상기 반도체 기판을 습식 에칭하는 에칭단계; 및 상기 금속막(200)을 양극으로, 상기 습식에칭의 에칭 용액에 담지된 백금 전극을 음극으로 하여, 상기 금속막(200)에 전압 또는 전류를 인가하여 상기 금속막(200)과 접촉하는 반도체 나노와이어를 양극산화시키며, 상기 에칭단계 및 산화단계를 일 단위공정으로, 상기 단위공정이 적어도 2회 이상 반복 수행되는 특징이 있다.
- [0082] 상기 단위공정이 적어도 2회 이상 반복 수행됨에 따라, 상기 반도체 기판에 일 단이 부착된 반도체 나노와이어에는 나노와이어의 길이 방향으로 서로 이격된 둘 이상의 다공성 마디(3)가 형성되는데, 상기 초음파 인가에 의한 절단시, 상기 나노와이어에 국부적으로 형성된 다공성 마디(3) 각각이 절단되는 특징이 있다.
- [0083] 상기 다공성 마디(3) 각각이 절단되어 독립된 반도체 나노와이어가 제조됨에 따라, 상기 독립된 반도체 나노와이어의 길이는 상기 단위공정에서의 상기 에칭단계에 의해 그 길이가 제어되게 되며, 상기 단위공정의 반복되는 횟수에 의해 상기 초음파 절단에 의해 단일한 반도체 나노와이어(반도체 기판에 일 단이 부착된 반도체 나노와이어)로부터 제조되는 독립된 반도체 나노와이어의 개수가 제어되게 된다. 상세하게, 상기 단위공정이 $n(n>1$ 인 자연수)회 반복 수행됨에 따라, 단일한 반도체 나노와이어(반도체 기판에 일 단이 부착된 반도체 나노와이어)로부터 n 개의 독립된 반도체 나노와이어가 제조되는 특징이 있다.
- [0084] 도 8은 다공성 마디(3) 형성을 위해 금속막(200)에 인가되는 전압의 파형을 도시한 일 예로, 도 8의 시간축은 부분에칭단계가 시작되는 시점을 기준으로 한 시간을 의미한다. 도 8에 도시한 바와 같이, 물리적으로 취약한 다공성 마디(3)를 형성하고 상기 다공성 마디(3)의 절단에 의해 독립된 나노와이어를 제조하기 위해, 상기 부분에칭단계시 펄스 형태의 전압 또는 전류가 상기 금속막(200)에 인가되는 것이 바람직하다. 부분에칭단계시 상기 금속막(200)에 인가되는 상기 펄스(전압 또는 전류의 펄스)의 개수에 의해 상기 다공성 마디(3)의 개수가 제어되며, 상기 부분에칭단계시 상기 펄스가 인가되는 시점에 의해 반도체 나노와이어 내 상기 다공성 마디(3)의 위치가 제어되게 되며, 상기 펄스의 인가시간에 의해 상기 다공성 마디(3)의 길이가 제어되게 된다.
- [0085] 바람직하게, 다공성 마디(3)의 형성을 위해 인가되는 전압은 1 내지 5V인 것이 바람직하며, 전압 또는 전류의 인가시간은 0.2초 내지 1초인 것이 바람직하다.
- [0086] 상술한 바와 같이, 본 발명에 따른 반도체 나노와이어의 제조방법은 상기 절단 단계에서 얻어진 반도체 기판(100)을 이용하여 상술한 습식 에칭단계 및 절단단계가 연속해서 반복됨으로써, 상기 반도체 기판(100)이 모두 소진될 때 까지 연속적으로 독립된 반도체 나노와이어를 대량 생산할 수 있는 특징이 있다.
- [0087] 이상과 같이 본 발명에서는 특정된 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0088] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

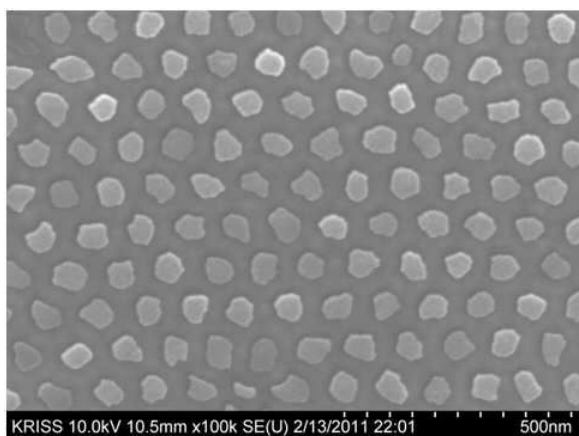
도면1



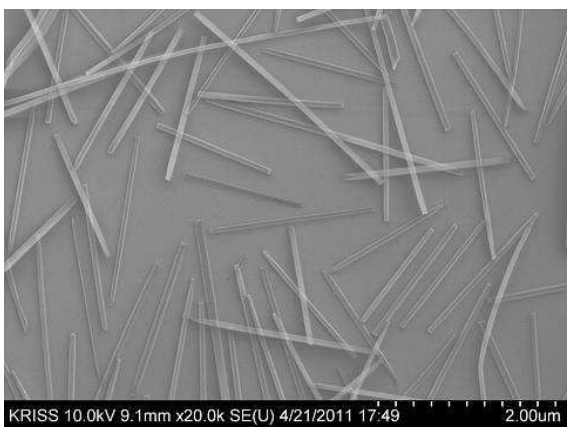
도면2



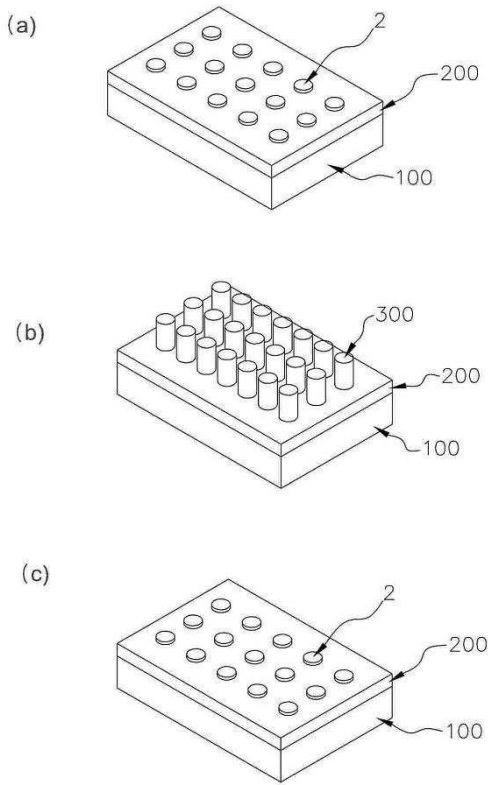
도면3



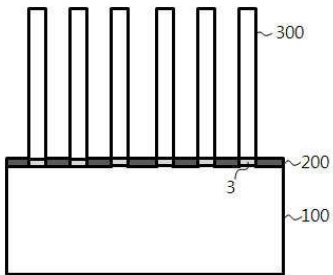
도면4



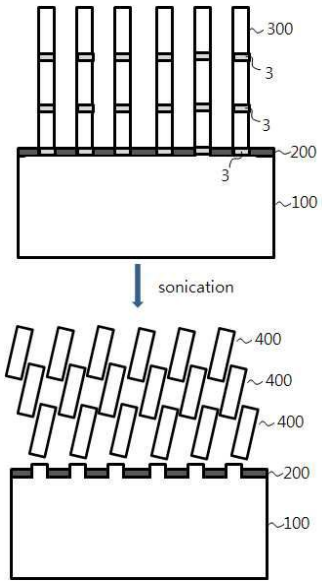
도면5



도면6



도면7



도면8

