



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월17일  
(11) 등록번호 10-1191981  
(24) 등록일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)  
B82B 3/00 (2006.01)

(21) 출원번호 10-2009-0083072

(22) 출원일자 2009년09월03일

심사청구일자 2009년09월03일

(65) 공개번호 10-2011-0024892

(43) 공개일자 2011년03월09일

(56) 선행기술조사문헌

Ming-Liang Zhang et al. J. Phys. Chem. C. 2008, Vol. 112, pp. 4444-4450\*

Zhiwei Yao et al. Nanotechnology. 2008, Vol. 19, 465705(7pp)\*

Masuda, Hideki et al. Advanced Materials. 2001, Vol. 13, No. 3, pp. 189-192\*

Huang, Zhipeng et al. Nano Letters. 08 July 2009, Vol. 9, No. 7, pp. 2519-2525\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국표준과학연구원

대전 유성구 도룡동 1

(72) 발명자

이우

대전광역시 유성구 배울2로 6, 한화아파트 110동 1504호 (관평동)

김정길

경기도 용인시 수지구 신봉1로48번길 29, 한일아파트 101동 402호 (신봉동)

김재천

대전광역시 유성구 신성남로 65-13, 201호 (신성동)

(74) 대리인

특허법인이지

전체 청구항 수 : 총 12 항

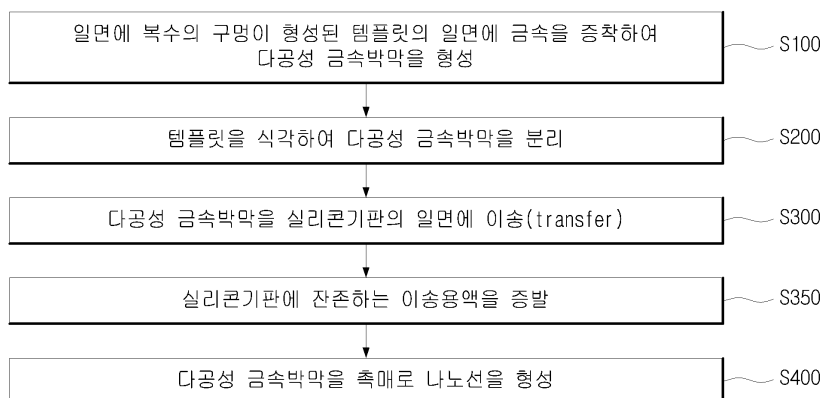
심사관 : 박종철

(54) 발명의 명칭 반도체 나노선 어레이 및 그 제조방법

(57) 요약

다공성 금속박막을 제조하는 방법이 있어서, 일면에 복수의 구멍이 형성된 템플릿을 제공하는 단계, 템플릿의 일면에 금속을 증착하는 단계 및 템플릿을 식각하고 금속은 식각하지 아니하는 템플릿 에칭액을 이용하여 템플릿을 제거하여 템플릿 에칭액의 표면에 금속만 잔존시키는 단계를 포함하는 다공성 금속박막 제조방법은 개구부가 균일하고 대면적으로 저렴한 비용으로 다공성 금속 박막의 제조가 가능하며, 실리콘 기판에 나노선이 형성될 이외의 부분에만 결함없이 이송 가능하여, 종래 금속촉매를 이용한 실리콘의 화학적 습식 에칭을 통한 실리콘 나노선 제작공정에서 발생하는 실리콘의 불균일 에칭, 나노선이 형성되지 않은 수 마이크로 면적의 결함 등을 해결하여 기판의 면적과 결정학적 배향에 상관없이 수직 정렬된 실리콘 나노선을 대면적의 기판 위에 균일하게 제조할 수 있는 효과가 있다.

대표도 - 도6



이 발명을 지원한 국가연구개발사업

과제고유번호	09011039
부처명	기본사업
연구사업명	기관고유사업
연구과제명	3-1-3 반도체 나노 측정제어기술개발
주관기관	한국표준과학연구원
연구기간	2009년 01월 01일 ~ 2009년 12월 31일

---

**특허청구의 범위**

**청구항 1**

다공성 금속박막을 제조하는 방법에 있어서,

일면에 타원형, 정사각형, 직사각형 및 정다각형 중 적어도 어느 하나의 형상인 복수의 구멍이 형성된 템플릿을 제공하는 단계;

상기 템플릿의 일면에 금속을 증착하는 단계; 및

상기 템플릿을 식각하고 상기 금속은 식각하지 아니하는 템플릿 에칭액을 이용하여 상기 템플릿을 제거하여 상기 템플릿 에칭액의 표면에 상기 금속만 잔존시키는 단계를 포함하는 다공성 금속박막 제조방법.

**청구항 2**

제1항에 있어서,

상기 템플릿의 구멍의 단면은 규칙적인 형상인 것을 특징으로 하는 다공성 금속박막 제조방법.

**청구항 3**

삭제

**청구항 4**

제1항에 있어서,

상기 템플릿의 재질은 알루미늄이고,

상기 구멍은 알루미늄 아노다이징(anodizing)방법으로 형성된 것을 특징으로 하는 다공성 금속박막 제조방법.

**청구항 5**

제1항에 있어서,

상기 다공성 금속박막을 잔존시키는 단계 이후에

상기 다공성 금속박막의 표면이 매끄럽게 되도록 상기 다공성 금속박막의 표면을 연마하는 단계를 더 포함하는 것을 특징으로 하는 다공성 금속박막 제조방법.

**청구항 6**

제1항 내지 제2항 및 제4항 내지 제5항 중 어느 한 항의 방법으로 제조된 다공성 금속박막.

**청구항 7**

일면에 타원형, 정사각형, 직사각형 및 정다각형 중 적어도 어느 하나의 형상인 복수의 구멍이 형성된 템플릿의 일면에 금속을 증착하여 다공성 금속박막을 형성하는 단계;

상기 템플릿을 식각하여 상기 다공성 금속박막을 분리하는 단계;

실리콘기판의 일면에 상기 다공성 금속박막을 이송(transfer)시키는 단계; 및

상기 이송된 다공성 금속박막을 촉매로 상기 실리콘기판을 식각하는 실리콘 에칭액을 이용하여 나노선을 형성하는 단계를 포함하고,

상기 이송시키는 단계는

이송용액 표면에 상기 다공성 금속박막을 띄우는 a)단계;

상기 다공성 금속박막의 상기 이송용액과 접하는 면이 상기 실리콘기판의 일면과 맞닿도록 상기 다공성 금속박막의 일 측부터 순차적으로 상기 실리콘기판의 일면과 접촉시키는 b)단계; 및

상기 실리콘기판에 잔존하는 상기 이송용액을 증발시키는 c)단계를 포함하며,

상기 이송용액은 상기 실리콘 에칭액과 동일한 성분을 가지며,

상기 c)단계는

상기 다공성 금속박막과 접촉한 부분에서 상기 이송용액에 의해 실리콘기판이 일부 식각되어 상기 다공성 금속박막과 상기 실리콘기판이 밀착되는 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

제7항에 있어서,

상기 이송용액은 탈이온수 이고,

상기 c)단계 이후에,

상기 다공성 금속박막이 이송된 실리콘기판을 무수에탄올( $C_2H_5OH$ )에 담지시키는 단계를 더 포함하며,

상기 나노선을 형성하는 단계는

상기 무수에탄올에 상기 실리콘 에칭액을 더 첨가하는 단계; 및

상기 다공성 금속박막을 촉매로 실리콘기판을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

#### 청구항 12

제7항에 있어서,

상기 나노선의 종횡비(=길이/지름)는 상기 실리콘기판의 식각 시간의 조절을 통해 제어할 수 있는 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

#### 청구항 13

제 7항에 있어서,

상기 실리콘 에칭액은 과산화수소( $H_2O_2$ )용액에 HF 또는  $NH_4F$ 중 하나 이상을 포함하는 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

#### 청구항 14

삭제

**청구항 15**

제7항에 있어서,

상기 템플릿의 재질은 알루미늄이고,

상기 구멍은 알루미늄 아노다이징(anodizing)방법으로 형성된 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

**청구항 16**

제7항에 있어서,

상기 다공성 금속박막을 분리하는 단계 이후에

상기 다공성 금속박막의 표면이 매끄럽게 되도록 상기 다공성 금속박막의 표면을 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 나노선 어레이 제조방법.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

제7항, 제11항 내지 제13항 및 제15항 내지 제16항 중 어느 한 항의 방법으로 제조된 반도체 나노선 어레이.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 다공성 금속박막 제조방법 및 다공성 금속박막을 이용한 수직 정렬된 반도체 나노선 어레이 제조방법에 관한 것이다.

**배경기술**

[0002] 최근, 저차원 실리콘 나노구조체의 독특한 물리적 특성으로 인하여 실리콘 나노선을 경소단막의 고성능 광전자 소자, 메모리 소자, 생물학적 센서, 에너지 소자 등으로의 응용 하려는 연구가 활발히 진행되고 있다. 실리콘 나노선 제조에 있어 직경과 길이를 균일하게 제어하는 것 못지않게, 이를 실제 소자로 이용할 수 있도록 정확한 위치에 균일하게 조절하여 배열구조를 만드는 것이 중요하다. 실리콘 나노선을 공간적으로 잘 정렬시키고 그 밑

도를 조절 가능하도록 하는 것은 전계효과 트랜지스터(field-effect transistor: FET)와 같은 소자를 위해 필수적이며, 수직 정렬된 실리콘 나노선 어레이를 제작하기 위해 많은 연구들이 수행되어 왔다.

[0003] vapour-liquid-solid (VLS) 성장법으로 대표되는 상향식(Bottom-up) 접근법을 통한 실리콘 나노선 제작의 경우, 금속 촉매 입자를 조절하여 단결정성 실리콘 나노선의 지름과 밀도를 조절할 수 있으나, 나노입자의 지름이 완전히 균일하거나 전자빔 리소그래피를 이용하지 않는 한, 나노선 직경과 위치를 조절하는데 어려움이 있다. 또한, VLS 성장법에서는 실리콘 나노선이 금속 촉매입자의 직경에 따라 특정 방향으로 성장하려는 성향이 있기 때문에, 실리콘웨이퍼를 주로 사용하는 종래 CMOS공정과 호환이 되지 않는다.

[0004] 실리콘 나노선 제작의 경제적 하향식(Top-down) 접근법으로는 금속을 촉매로 이용한 실리콘 기관의 화학적 습식 에칭법이 있다. 이 방법은 고분자 나노구 리소그래피(polymer nanosphere lithography)를 이용하여 실리콘 나노선의 지름과, 길이 밀도를 어느 정도 제어가 가능하다. 또한, 이 방법은 실리콘 기관위에 형성된 육각형 배열을 갖는 고분자 나노구를 마스크로 이용하여 금속 박막을 패터닝하고, 금속과 접촉한 실리콘 표면을 선택적으로 습식 에칭 함으로써 실리콘 나노선을 얻어내기 때문에 종래 리소그래피 공정에 비해 경제적이고 생산량도 높은 특징이 있다. 하지만, 이 방법의 경우 대면적에서 결함이 없이 정렬된 고분자 나노구 마스크를 제조하는 것이 어려우며, 고분자 구의 크기 제한 때문에 직경이 50 nm이하인 실리콘 나노선 어레이를 균일하게 제작하기 어렵다는 한계가 있다.

[0005] 최근, 박막형태의 나노다공성 알루미늄 마스크를 실리콘 기관위에 올린 후, 이온빔 에칭(Reactive Ion Etching: RIE)을 통해 마스크의 패턴을 실리콘 기관에 이송시킨 후, 패턴이 형성된 실리콘 기관 위에 금속을 증착하여 메쉬형태의 금속박막을 얻어내고, 이를 화학적 습식 에칭에 있어 촉매로 사용하여 직경 10nm이하의 직경을 갖는 실리콘 나노선 어레이 제작하는 경제적 방법이 이용되고 있다. 하지만, 이 공정의 경우 나노다공성 알루미늄 마스크를 얻어내는 공정이 번거로우며 실리콘 기관 위에 올려진 세라믹 마스크는 수 마이크로미터 크기의 많은 주름들을 갖고 있어 주름진 영역에서는 마스크의 패턴이 실리콘 기관으로 이송 되지않아 에칭 시 실리콘 나노선이 형성되지 않는 등 문제가 있다. 더욱이 패턴이 형성된 실리콘 기관에 금속을 증착하는 과정에서 이온빔으로 식각된 홈에도 금속이 증착됨으로 인해 화학적 에칭으로 얻어진 실리콘 나노선의 상단 부분이 매우 불균일한 문제점을 갖고 있다.

[0006] 이 방법의 변형으로, 실리콘 기관위에 올려진 나노다공성 알루미늄 마스크에 직접 금속을 증착시킨 후 바로 에칭용액에 담지시켜 실리콘 나노선 어레이를 제작하는 방법이 있다. 하지만, 이 방법 역시 에칭용액에 담지시키는 과정에서 금속박막이 실리콘 기관으로부터 분리되어 나오는 문제점이 있어 기술적으로 대면적의 균일한 실리콘 나노선 어레이 제작에 적합하지 못하다는 문제점이 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0007] 본 발명의 목적은 규칙적인 다공성 금속박막을 제조함에 있어서 개구부 형상을 조절할 수 있으며 저렴한 비용으로 생산할 수 있는 다공성 금속박막 제조방법을 제공함과 동시에, 종래 금속을 촉매로 사용하는 실리콘 기관의 화학적 습식 에칭을 통한 실리콘 나노선 어레이 제작공정이 갖는 여러 가지 기술적 한계를 극복함으로써 수직 정렬된 균일한 실리콘 나노선 어레이를 대면적으로 제작하는 방법을 제공하는 것이다.

**과제 해결수단**

[0008] 본 발명의 일측면에 따르면 다공성 금속박막을 제조하는 방법에 있어서, 일면에 복수의 구멍이 형성된 템플릿을 제공하는 단계, 템플릿의 일면에 금속을 증착하는 단계 및 템플릿을 식각하고 금속은 식각하지 아니하는 템플릿

에칭액을 이용하여 템플릿을 제거하여 템플릿 에칭액의 표면에 금속만 잔존시키는 단계를 포함하는 다공성 금속 박막 제조방법이 제공된다.

- [0009] 템플릿의 구멍의 단면은 규칙적인 형상으로 할 수 있고, 특히 템플릿의 구멍의 단면은 원형, 타원형, 정사각형, 직사각형 및 정다각형 중 적어도 어느 하나의 형상으로 할 수 있다.
- [0010] 템플릿의 재질은 알루미늄이고, 구멍은 알루미늄 아노다이징(anodizing)방법으로 형성할 수 있다.
- [0011] 다공성 금속박막을 잔존시키는 단계 이후에 다공성 금속박막의 표면이 매끄럽게 되도록 다공성 금속박막의 표면을 연마하는 단계를 더 포함할 수 있다.
- [0012] 상술한 방법을 실시하면 균일한 개구부가 형성된 다공성 금속박막을 제공할 수 있다.
- [0013] 본 발명의 다른 측면에 따르면 일면에 복수의 구멍이 형성된 템플릿의 일면에 금속을 증착하여 다공성 금속박막을 형성하는 단계 템플릿을 식각하여 다공성 금속박막을 분리하는 단계 실리콘기판의 일면에 다공성 금속박막을 이송(transfer)시키는 단계 및 이송된 다공성 금속박막을 촉매로 실리콘기판을 식각하는 실리콘에칭액을 이용하여 나노선을 형성하는 단계를 포함하는 반도체 나노선 어레이 제조방법이 제공된다.
- [0014] 이송시키는 단계는 이송용액 표면에 다공성 금속 박막을 띄우는 a)단계; 및 다공성 금속박막의 이송용액과 접하는 면이 실리콘기판의 일면과 맞닿도록 다공성 금속박막의 일 측부터 순차적으로 실리콘기판의 일면과 접촉시키는 b)단계를 포함하는 방법으로 수행가능하다.
- [0015] b)단계 이후에, 실리콘기판에 잔존하는 이송용액을 증발시키는 단계를 더 포함할 수 있다.
- [0016] 이송용액이 실리콘 에칭액과 동일한 성분을 가지는 경우, c)단계는 다공성 금속박막과 접촉한 부분에서 이송용액에 의해 실리콘기판이 일부 식각되어 다공성 금속박막과 실리콘기판이 밀착될 수 있다.
- [0017] 한편, 이송용액이 탈이온 수인 경우, 다공성 금속박막이 이송된 실리콘기판을 무수에탄올( $C_2H_5OH$ )에 담지시키는 단계를 더 포함하며, 나노선을 형성하는 단계는 무수에탄올에 실리콘 에칭액을 더 첨가하는 단계; 및 다공성 금속박막을 촉매로 실리콘기판을 선택적으로 식각하는 단계를 포함할 수 있다.
- [0018] 나노선의 종횡비(=길이/지름)는 실리콘기판의 식각 시간의 조절을 통해 제어할 수 있다.
- [0019] 실리콘에칭액은 과산화수소( $H_2O_2$ )용액에 HF 또는  $NH_4F$ 중 하나 이상을 포함할 수 있다. 또한, 나노선의 단면은 원형, 타원형, 정사각형, 직사각형 및 정다각형 중 하나의 형상으로 할 수 있다.
- [0020] 템플릿의 재질은 알루미늄이고, 구멍은 알루미늄 아노다이징(anodizing)방법으로 형성할 수 있다.
- [0021] 다공성 금속박막을 분리하는 단계 이후에 다공성 금속박막의 표면이 매끄럽게 되도록 다공성 금속박막의 표면을 연마하는 단계를 더 포함할 수 있다.
- [0022] 본 발명의 또 다른 측면에 따르면, 이송용액 표면에 다공성 금속박막을 띄우는 a) 단계, 다공성 금속박막의 이송용액과 접하는 면이 실리콘기판의 일면과 맞닿도록 다공성 금속박막의 일 측부터 순차적으로 실리콘기판의 일면과 접촉시켜 다공성 금속박막을 실리콘기판으로 이송(transform)는 b) 단계 및 이송된 다공성 금속박막을 촉매로 하고 실리콘기판을 식각하는 실리콘 에칭액을 이용하여 나노선을 형성하는 c) 단계를 포함하는 반도체 나노선 어레이 제조방법이 제공된다.
- [0023] b) 단계 이후에, 실리콘기판에 잔존하는 이송용액을 증발시키는 단계를 더 포함할 수 있다. 이송용액이 실리콘 에칭액과 동일한 성분을 가지는 경우, c)단계는 다공성 금속박막과 접촉한 부분에서 이송용액에 의해 실리콘기판이 일부 식각되어 다공성 금속박막과 실리콘기판이 밀착될 수 있다.
- [0024] 한편, 이송용액이 탈이온수인 경우, 다공성 금속박막이 이송된 실리콘기판을 무수에탄올( $C_2H_5OH$ )에 담지시키는 단계를 더 포함하며, 나노선을 형성하는 단계는 무수에탄올에 실리콘 에칭액을 더 첨가하는 단계 및 다공성 금속박막을 촉매로 실리콘기판을 선택적으로 식각하는 단계를 포함할 수 있다.
- [0025] 또한, 다공성 금속박막은 일면에 복수의 구멍이 형성된 템플릿의 일면에 금속을 증착하여 다공성 금속박막을 형성하고, 템플릿을 식각하여 제조될 수 있다.
- [0026] 상술한 방법을 실시하면 균일하게 수직정렬된 실리콘 나노선 어레이를 제공할 수 있다.

**효 과**

- [0027] 본 발명은 개구부가 균일하고 대면적으로 저렴한 비용으로 다공성 금속 박막의 제조가 가능하며, 실리콘 기판에 나노선이 형성될 이외의 부분에만 결함없이 이송 가능하여, 종래 금속촉매를 이용한 실리콘의 화학적 습식 에칭을 통한 실리콘 나노선 제작공정에서 발생하는 실리콘의 불균일 에칭, 나노선이 형성되지 않은 수 마이크로 면적의 결함 등을 해결하여 기판의 면적과 결정학적 배향에 상관없이 수직 정렬된 실리콘 나노선을 대면적의 기판 위에 균일하게 제조할 수 있는 효과가 있다.
- [0028] 또한, 본 발명은 다공성 금속박막의 유연성으로 인하여 다공성 금속박막을 평평한 기판뿐만 아니라 곡률을 갖는 기판의 표면에도 균일하게 수직 정렬된 실리콘 나노선을 형성시킬 수 있는 효과가 있다.
- [0029] 또한, 본 발명은 나노선의 사이즈 형상 등을 손쉽게 조절할 수 있으며, 면적에 상관없이 짧은 시간에 저렴한 비용으로 균일한 나노선을 형성할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0032] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 이하, 본 발명에 따른 다공성 금속박막과 그 제조방법 및 반도체 나노선 어레이 제조방법의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0034] 도1은 본 발명의 일 실시예에 따른 다공성 금속박막 제조방법을 나타낸 순서도이고, 도2 내지 도4는 본 발명의 일 실시예에 따른 다공성 금속박막 제조방법을 나타낸 단면도로, 도2 내지 도4를 참조하면 템플릿에 형성된 구멍(10), 템플릿(30), 다공성 금속박막(40) 및 다공성 금속박막에 형성된 개구부(50)가 도시되어 있다.
- [0035] 다공성 금속박막(40)은 복수의 개구부를 가진 금속재질의 얇은 막으로서, 이는 다양한 기판의 패터닝 마스크로 사용이 가능하고, 실리콘 기판을 식각하기 위한 금속 촉매로서 역할을 할 수 있다. 특히 개구부의 사이즈가 나노단위로 작게 형성하는 경우 실리콘 기판을 식각하여 반도체 나노선 어레이를 형성하기 위한 촉매층으로서 이용할 수 있다.
- [0036] 다공성 금속박막(40)을 제조하기 위해서 먼저, 일면에 복수의 구멍이 형성된 템플릿을 제공한다(S110). 템플릿



(30)은 나노 사이즈의 구멍(10)이 규칙적으로 형성된 기판으로, 구멍(10)의 단면은 정사각형, 직사각형, 정다각형, 원형 및 타원형 등 다양한 형상이 가능하다.

[0037]

[0038] 템플릿(30)의 일면에 구멍(10)을 형성하는 방법의 일 실시예로서, 아노다이징(anodizing)방법을 이용할 수 있다. 아노다이징(anodizing)이란, 알루미늄의 표면산화 방법의 하나로서, 알루미늄이 알루미늄으로 변환되면서 미세한 나노사이즈의 구멍이 규칙적으로 형성된다는 점이 특징적이다.

[0039]

구체적으로 아노다이징 공정을 살펴보면, 알루미늄 표면을 세척하고, 알루미늄을 전해질용액에 전해연마를 하여 알루미늄의 전처리를 한 후에, 알루미늄을 산(황산, 옥살산, 또는 인산 등)에서 양극과 연결하여 알루미늄 표면에서 산화작용을 일으켜 산화막을 형성시킨다. 이러한 산화막의 구조는 나노사이즈의 다공질 막이며 막부분은 알루미늄이 알루미늄( $Al_2O_3$ )로 변환된다. 아노다이징의 시간, 전압, 전해질의 종류 등을 변화시켜 구멍의 사이즈 형상 및 간격을 조절할 수 있다.

[0040]

다음으로, 템플릿(10)의 일면에 금속을 증착한다(S120). 템플릿(30)의 구멍(10)부분을 제외한 템플릿(30)의 일면에 금속이 얇게 증착되며, 그 결과 개구부(50)가 형성된 다공성 금속박막(40)이 형성된다. 도 2는 금속이 증착되어 템플릿(30)의 일면에 다공성 금속박막(40)이 형성된 단면을 나타내며 증착시간이 길어지면, 다공성 금속박막 개구부(50) 사이즈는 작아진다. 따라서, 증착 시간을 조절함으로써, 다공성 금속박막 개구부(50)사이즈를 조절할 수 있다. 금속의 증착 방법의 예로, 열증착(thermal evaporation), 플라즈마 증착(plasma sputter), 전자빔 증착(e-beam evaporation) 등을 들 수 있다.

[0041]

다음으로, 템플릿(30)을 제거하여 다공성 금속박막(40)을 분리한다(S210). 일면에 다공성 금속박막(40)이 결합된 템플릿(30)을 식각하고 상기 금속은 식각하지 아니하는 템플릿 에칭액에 넣으면 템플릿(30)만 식각되어 다공성 금속박막(40)만 남게 된다. 만약, 템플릿이 아노다이징에 의해 생성된 다공성 알루미늄이라면 NaOH 수용액, KOH 수용액,  $H_3PO_4$  수용액 또는 HF수용액을 템플릿 에칭액으로 이용할 수 있으며,  $H_3PO_4$  수용액 또는 HF수용액표면에 금속이 증착된 템플릿을 띄워 템플릿만 에칭시켜 제거할 수 있다.

[0042]

도3을 참조하면, 템플릿이 제거된 상태의 다공성 금속 박막이 도시되어 있는데 금속을 증착시킬 때 템플릿의 구멍 벽면에 부분적으로 증착되어 도면에서 와 같이 표면이 매끄럽지 못하게 돌기가 형성될 수 있다. 이러한 돌기 부분이 있는 경우 실리콘기판에 이송이 원활하지 못할 수 있으므로 이를 제거하기 위해 금속의 에칭액(예를 들면 Au의 경우  $KI/I_2$  수용액, Ag의 경우  $HNO_3$ )에 짧은 시간(수초) 접촉시켜 표면을 연마할 수 있다(S220).

[0043]

연마한 후의 다공성 금속박막(40)의 단면은 도 4에 도시되어 있고 도 5는 이러한 과정을 거쳐 형성한 다공성 금속박막의 주사전자현미경 사진이다. 상술한 바와 같이 이러한 공정을 거쳐 제조한 다공성 금속박막은 개구부가 나노사이즈로 작게 그리고 균일하게 단시간에 적은 비용으로 제조할 수 있으며, 개구부의 형상도 템플릿의 구멍의 단면 형상을 다양하게 하면 그에 따라 다양하게 형성 가능하다. 이러한 공정을 통해 얻은 다공성 금속박막은 다양한 기판의 마스크로 활용될 수 있으며, 이하에서는 활용예로서 다공성 금속박막을 이용하여 반도체 나노선 어레이를 제조하는 방법을 기술하도록 한다.

[0044]

도 6은 본 발명의 일 실시예에 따른 반도체 나노선 어레이 제조방법을 나타낸 순서도이고, 도 7 내지 도 13은 본 발명의 일 실시예에 따른 반도체 나노선 어레이 제조방법을 나타낸 단면도 및 사시도로, 도 7 내지 도 13을 참조하면 다공성 금속박막(40), 다공성 금속박막에 형성된 개구부(50), 실리콘기판(60), 나노선(70) 및 이송용액(80)이 도시되어 있다.

- [0045] 먼저 일면에 복수의 구멍(10)이 형성된 템플릿(30)의 일면에 금속을 증착하여 다공성 금속박막(40)을 형성한다(S100). 이는 다공성 금속박막(40) 제조방법을 나타낸 도1의 단계 S110과 S120을 수행하면 얻을 수 있다. 이에 대한 보다 더 구체적인 설명은 다공성 금속박막(40) 제조방법에서 기술한 내용으로 같음하도록 한다.
- [0046] 다음으로, 템플릿을 식각하여 다공성 금속박막을 분리한다(S200). 다공성 금속박막(40) 제조방법을 나타낸 도1의 단계 S210과 S220을 수행하면 얻을 수 있다. 이에 대한 보다 더 구체적인 설명은 다공성 금속박막(40) 제조방법에서 기술한 내용으로 같음하도록 한다.
- [0047] 다음으로, 다공성 금속박막(40)을 실리콘기판(60)의 일면에 이송(transfer)한다(S300). 이송하는 방법과 관련해서 도 7과 도8에 도시되어 있으며, 먼저 도 7과 같이 다공성 금속박막(40)을 이송용액(80)에 띄운다.
- [0048] 이송용액(80)은 다공성 금속박막(40)을 실리콘 기판(60)에 전사하기 위해 이용하는 친수성용액으로, 다공성 금속박막(40)은 소수성 특성을 가지고 있어 이송용액(80) 표면에 떠있을 수 있다. 이송용액(80)은 이후 실리콘을 식각하는데 이용되는 실리콘 에칭액을 이용할 수도 있으며, 그 외에도 탈이온수와 같이 다공성 금속박막(40)이 표면에 떠있을 수 있는 친수성 성질을 가지는 용액을 이용할 수 있다.
- [0049] 이송용액(80)에 띄워져 있는 다공성 금속박막(40)을 실리콘기판(60)에 이송하기 위해서 비스듬하게 이송용액(80)에 실리콘기판(60)을 담근다. 그리고 다공성 금속박막(40)의 가장자리를 실리콘기판(60)과 접촉시킨 후 실리콘기판(60)과 다공성 금속박막(40)의 접촉 면적이 증가될 수 있도록 실리콘기판(60)을 서서히 이송용액(80)으로부터 비스듬한 각도를 유지 시키며 끌어 올리면 이송용액(80) 표면에 떠있는 다공성 금속박막(40)의 하부에서 실리콘기판(60)과 일 측부터 순차적으로 접촉되어 도 9 에 도시된 것과 같이 실리콘기판(60)에 다공성 금속박막(40)이 이송된다.
- [0050] 이때, 실리콘기판(60)에 잔존하는 이송용액(80)을 증발시키는 단계를 더 수행할 수 있다(S350). 이송용액(80)이 실리콘 에칭액인 경우 실리콘기판(60)과 다공성 금속박막(40)의 사이에 잔존하는 에칭액은 건조되는 동안 실리콘기판(60)의 표면을 일부 식각해 도10 및 도11에 도시된 바와 같이 다공성 금속박막(40)이 실리콘기판(60)에 함몰된 것처럼 다공성 금속박막의 개구부(50)를 통해 실리콘기판(60)이 부분적으로 돌출되게 할 수 있다. 이 부분이 나노선(70)의 최상단 부분이 되고, 기판과 다공성 금속박막의 밀착력을 향상시킬 수 있다.
- [0051] 용액(80)이 탈이온수인 경우, 용액증발과정(S350)중 실리콘기판(60)의 부분적 식각이 발생하지 않아 금속박막(40)과 실리콘기판(60)의 밀착력은 크지 못하다. 다만, 탈이온수를 이송용액으로서 이용하는 경우 이후 나노선을 형성하기 위한 실리콘 에칭반응이 개시되는데 걸리는 시간이 실리콘 에칭액을 이송용액으로서 이용한 경우보다 짧게 나타나는 장점이 있다.
- [0052] 다음으로, 다공성 금속박막(40)을 촉매로 실리콘기판(60)을 식각하여 나노선(70)을 형성한다(S400).
- [0053] S300 단계를 통해 다공성 금속박막(40)이 표면에 이송된 실리콘기판(60)을 실리콘 에칭액에 담지시켜 다공성 금속박막(40)을 촉매로 하여 실리콘을 에칭함으로써 수직 정렬된 대면적의 반도체 나노선 어레이를 제작할 수 있다. 이때, 실리콘 에칭액은 금속을 촉매로 하여, 실리콘을 식각시킬 수 있는 용액으로서, H<sub>2</sub>O<sub>2</sub>용액에 HF 또는 NH<sub>4</sub>F중 하나 이상을 포함하는 조성을 예로 들 수 있다. 도 12는 다공성 금속박막을 촉매로 하여 실리콘기판을 식각하는 단계를 나타낸 단면도로서, 금속박막은 반응에 직접 참여하지는 않아 도시된 바와 같이 잔존한다.
- [0054] S300단계에서 이송용액(80)으로 탈이온수를 이용한 경우, 실리콘 기판(60)을 식각하기 이전에 다공성 금속박막(40)이 표면에 이송된 실리콘기판(60)을 무수에탄올(C<sub>2</sub>H<sub>5</sub>OH)에 담지시킴으로써 다공성 금속박막(40)이 실리콘기판(60)으로부터 분리되는 것을 방지할 수 있다.
- [0055] 그리고 무수에탄올에 실리콘 에칭액을 첨가시킴으로써 다공성 금속박막(40)과 접촉한 실리콘기판(60) 표면의 선택적으로 습식 에칭하여 실리콘 나노선을 얻어낼 수 있다.
- [0056] 금속을 촉매로 하여 실리콘 기판을 습식에칭하는 방법에 대해 자세히 설명하도록 한다. 실리콘 기판에 접촉된 금속은 에칭액 속에서 실리콘으로부터 전자를 끌어들이다. 즉, Si가 Si<sup>4+</sup>로 산화되고 이 과정으로 인하여 금속과

실리콘 계면에서는 얇은 SiO<sub>2</sub>층이 형성된다. 형성된 SiO<sub>2</sub>는 산에 의해 녹아 없어지고, 이러한 일련의 순환반응이 연속적으로 일어나면서 금속과 접촉하고 있는 실리콘만 선택적으로 녹아 없어져 실리콘 에칭이 일어나게 된다. 이때, 금속은 실리콘으로부터 전자를 빼앗아 실리콘을 산화시킬 뿐 전체 알짜반응에는 관여하지 않는 촉매로서 작용한다.

[0057] 도13은 반도체 나노선 어레이의 사시도이다. 나노선(70)의 단면형상은 다공성 금속박막(40)의 개구부(50) 형상에 따라 결정되므로 형상을 원형, 타원형, 직사각형, 정사각형 및 정 다각형 등 다양한 형상으로 변형 가능하다. 또한, 반도체 나노선의 종횡비(=길이/지름)는 실리콘 에칭시간을 조절함으로써 제어할 수 있다.

[0058] 도 14 및 도 15는 상기 방법으로 형성한 수직 정렬된 반도체 나노선 어레이의 주사전자현미경 사진으로 나노선이 균일하게 형성된 것을 확인할 수 있다.

[0059] - 실시예 -

[0060] 알루미늄의 전처리

[0061] Goodfellow사의 순도 99.999% 알루미늄을 아세톤으로 세척함으로써 알루미늄 표면에 존재하는 기름 성분을 제거하였다. 탈지 공정을 거친 알루미늄은 이어 과염소산 (HClO<sub>4</sub>)과 에틸알콜 (CH<sub>3</sub>CH<sub>2</sub>OH)이 1:4의 부피비로 혼합된 용액을 전해질로 하여 30V에서 4분간 전해연마 함으로써 거울면처럼 매끈한 알루미늄 표면을 얻어낸다. 필요에 따라서는 스탬프(stamp)를 이용한 나노임프린트 공정을 통해 전해연마된 알루미늄 표면에 원하는 배열과 모양을 갖는 홈이 형성된 패턴을 얻어낸다.

[0062] 나노다공성 알루미늄의 제조

[0063] 규칙적 동공배열을 갖는 나노다공성 알루미늄은 상기 방법으로 전처리된 알루미늄을 황산, 옥살산, 또는 인산을 이용한 애노다이징 공정을 통하여 제조한다.

[0064]

전해질	전압(V)	구멍직경(nm)	구멍간거리(nm)	구멍밀도(pores/cm <sup>2</sup> )
0.3M H <sub>2</sub> SO <sub>4</sub>	25	18	60	3 x 10 <sup>10</sup>
0.3M H <sub>2</sub> C <sub>2</sub> O <sub>4</sub>	40	30	105	1 x 10 <sup>10</sup>
0.3M H <sub>2</sub> C <sub>2</sub> O <sub>4</sub>	120 - 140	40 - 50	240 - 280	~ 10 <sup>9</sup>
1wt. % H <sub>3</sub> PO <sub>4</sub>	195	180	500	5 x 10 <sup>8</sup>

[0065] 금속의 증착

[0066] 실리콘 기판의 화학적 습식 에칭시 촉매로 사용될 수 있는 금(Au), 백금(Pt), 또는 은(Ag)을 상기 방법으로 얻어진 나노다공성 알루미늄의 표면에 증착시킨다. 금속의 증착은 열증착(thermal evaporation), 플라즈마 증착(plasma sputter), 전자빔 증착(e-beam evaporation) 중 적어도 어느 하나를 통해 이루어질 수 있으며, 증착시간이 길어지면 길어질 수록 나노다공성 알루미늄의 동공직경이 감소되는 특징이 있다.

[0067] 다공성 금속박막의 제작

[0068] 금속이 표면에 증착된 상기 나노다공성 알루미늄을 NaOH수용액, 또는 HF, H<sub>2</sub>O<sub>2</sub>, H<sub>2</sub>O의 혼합액 또는 NH<sub>4</sub>F, H<sub>2</sub>O<sub>2</sub>, H<sub>2</sub>O의 혼합액 위에 띄워 상온에서 나노다공성 알루미늄만을 선택적으로 제거함으로써 대면적의 다공성 금속박막

을 얻어낸다.

[0069] 그런 다음 다공성 금속박막을 에칭하고자 하는 실리콘 기판 표면에 이송(transfer)시킨 후, 실리콘 기판과 다공성 금속박막 계면에 잔존하는 용액을 증발시킨다. 나노다공성 알루미늄을 제거하는 용액이 실리콘 에칭액과 동일한 경우, 용액의 증발과정에서 다공성 금속박막과 접촉하고 있는 실리콘 표면은 에칭이 이루어지며, 이로 인하여 다공성 금속박막의 메쉬로 실리콘 나노선이 일부 돌출되어 아래 기술한 실리콘의 에칭과정에서 실리콘 기판과 다공성 금속박막이 서로 분리되지 않고 물리적으로 잘 결속된다.

[0070] 반면, NaOH수용액으로 나노다공성 알루미늄을 제거하는 경우, NaOH수용액에 띄워져 있는 다공성 금속박막은 슬라이드 글라스를 이용하여 탈이온수 표면에 이송시킴으로써 다공성 금속박막 하부에 잔존하는 NaOH수용액을 제거한다. 탈이온수 표면에 띄워져 있는 다공성 금속박막을 에칭하고자 하는 실리콘 기판 표면에 이송시킨 후, 실리콘 기판과 다공성 금속박막 계면에 잔존하는 탈이온수를 증발시킨다. 그런 다음, 에칭을 통한 실리콘 나노선 어레이 제작에 앞서 얻어진 시편을 무수에탄올에 담지시킨다.

[0071] 실리콘 나노선 어레이의 제작

[0072] 상기 방법으로 얻어진 다공성 금속박막이 표면에 위치된 실리콘 기판을 HF, H<sub>2</sub>O<sub>2</sub>, H<sub>2</sub>O의 혼합액 또는 NH<sub>4</sub>F, H<sub>2</sub>O<sub>2</sub>, H<sub>2</sub>O의 혼합액에 담지하여 직정렬된 대면적의 실리콘 나노선 어레이를 제작한다. 이때 얻어지는 실리콘 나노선의 종횡비(=길이/지름)는 에칭시간의 조절을 통해 제어된다. 무수에탄올에 담지된 다공성 금속박막이 이송된 실리콘기판의 경우, 실리콘 나노선 어레이 제작은 무수에탄올에 실리콘 에칭액을 첨가하여 이루어진다.

[0073] 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허 청구범위와 균등하거나 등가적 변형이 있는 모든것들은 본 발명 사상의 범주에 속한다고 할 것이다.

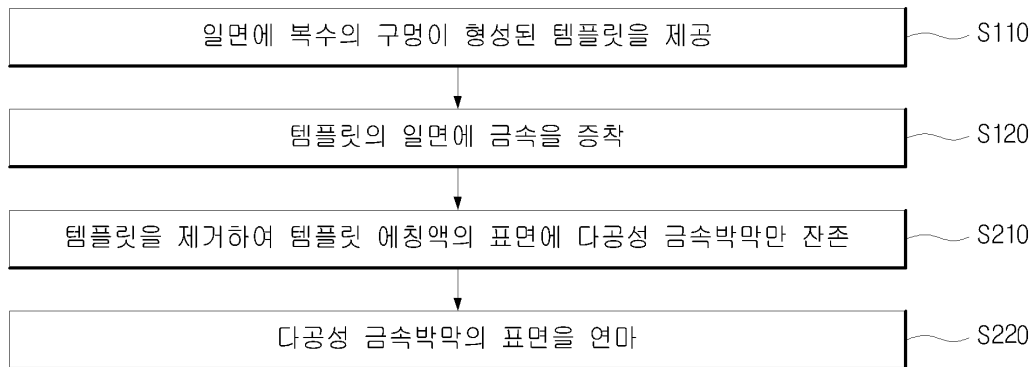
**도면의 간단한 설명**

- [0074] 도1은 본 발명의 일 측면에 따른 다공성 금속박막의 제조방법을 나타낸 순서도.
- [0075] 도2은 본 발명의 일 측면에 따른 다공성 금속박막의 제조방법에 있어서, 금속이 증착된 템플릿을 나타낸 단면도.
- [0076] 도 3은 본 발명의 일 측면에 따른 다공성 금속박막의 제조방법에 있어서, 다공성 금속박막이 템플릿으로부터 분리된 상태를 나타낸 단면도.
- [0077] 도 4는 본 발명의 일 측면에 따른 다공성 금속박막의 제조방법에 있어서, 다공성 금속박막의 표면을 연마하는 상태를 나타낸 단면도.
- [0078] 도 5는 본 발명의 일 측면에 따른 다공성 금속박막의 제조 방법에 의해 제조된 다공성 금속박막의 일 실시예를 나타낸 주사전자현미경 사진.
- [0079] 도 6은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법을 나타낸 순서도.
- [0080] 도 7은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 이송용액에 다공성 금속박막을 띄우는 단계를 나타낸 단면도.
- [0081] 도 8은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 실리콘기판에 다공성 금속박막을 이송하는 단계를 나타낸 단면도.
- [0082] 도 9는 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 실리콘기판에 다공성 금속박막이 이송된 상태를 나타낸 단면도.
- [0083] 도 10은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 다공성 금속박막이 이송된 실리콘기판을 건조시킨 상태를 나타낸 단면도.
- [0084] 도 11은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 다공성 금속박막이 이송된 실리콘기판을 건조시킨 상태를 나타낸 사시도.

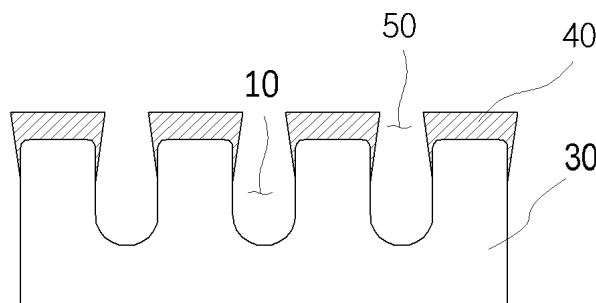
- [0085] 도 12는 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 있어서, 다공성 금속박막을 축매로 실리콘기판을 식각하는 단계를 나타낸 단면도.
- [0086] 도 13은 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 의해 제조된 반도체 나노선 어레이를 나타낸 단면도 및 사시도.
- [0087] 도 14 및 도 15는 본 발명의 다른 측면에 따른 반도체 나노선 어레이 제조방법에 의해 제조된 반도체 나노선 어레이의 일 실시예를 나타낸 주사전자현미경 사진.
- [0088] \*도면의 주요 부분에 대한 부호의 설명\*
- [0089] 10 : 템플릿에 형성된 구멍
- [0090] 30 : 템플릿
- [0091] 40 : 다공성 금속박막
- [0092] 50 : 다공성 금속박막에 형성된 개구부
- [0093] 60 : 실리콘기판
- [0094] 70 : 나노선
- [0095] 80 : 이송용액

**도면**

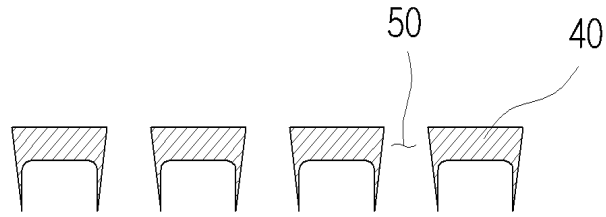
**도면1**



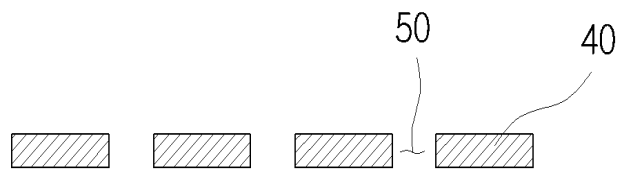
**도면2**



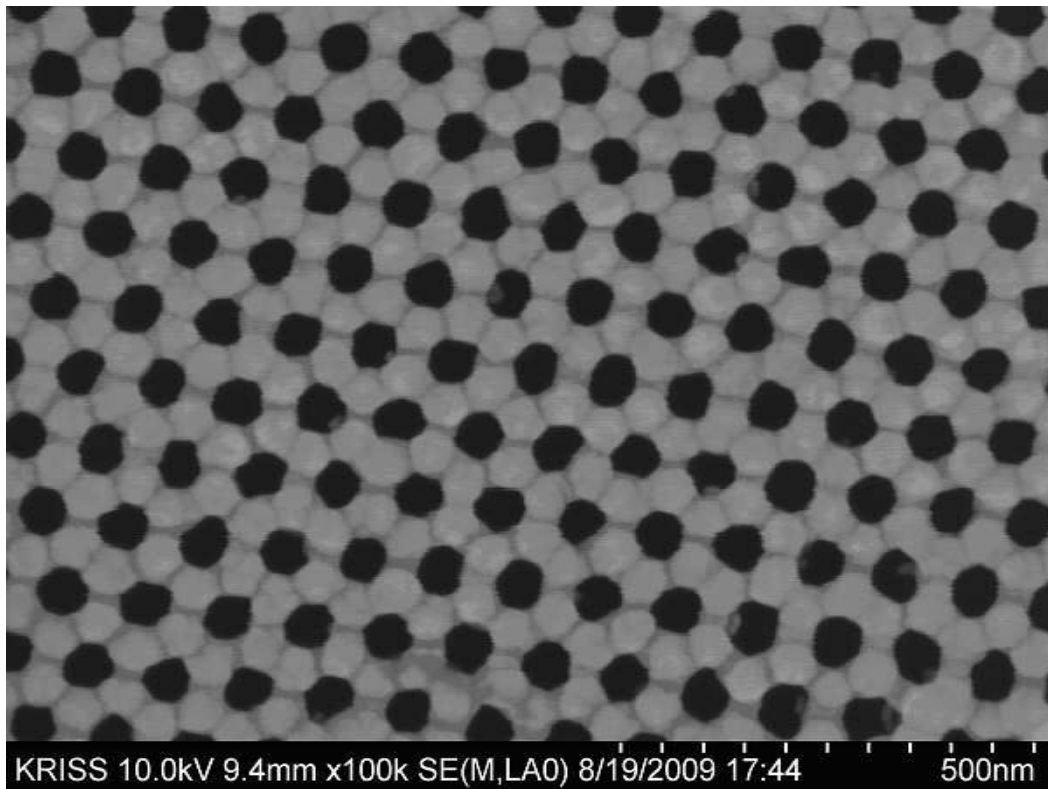
도면3



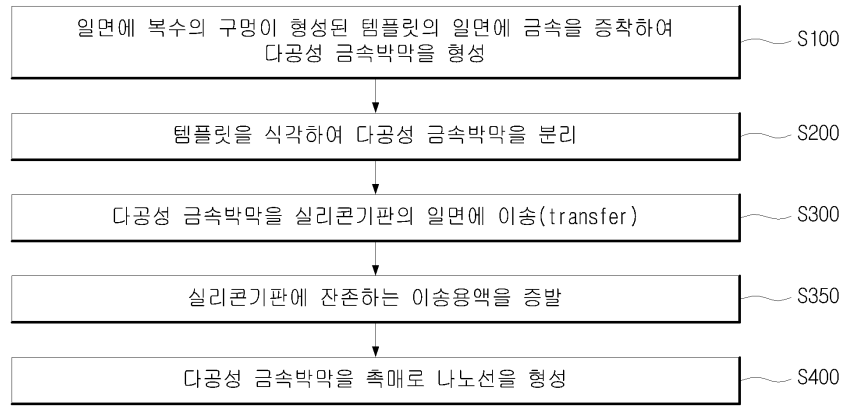
도면4



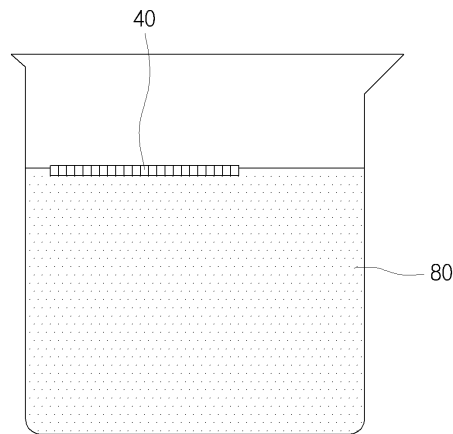
도면5



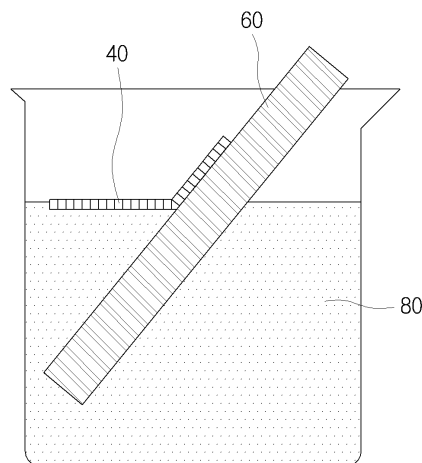
도면6



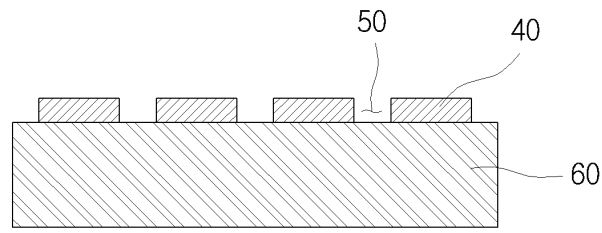
도면7



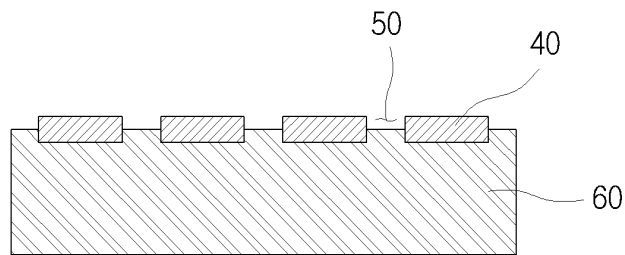
도면8



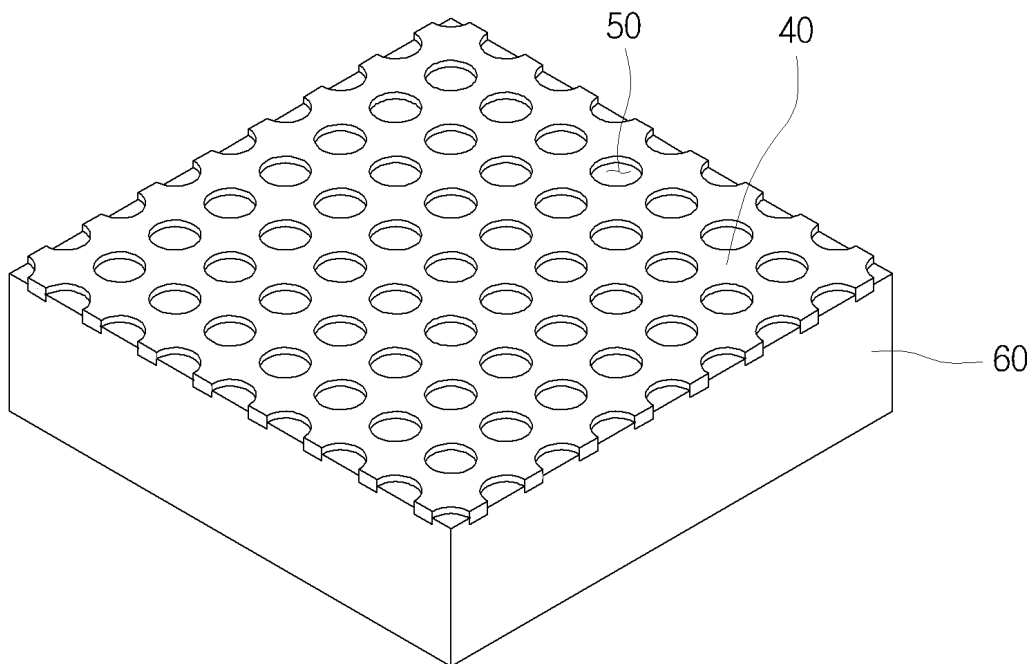
도면9



도면10

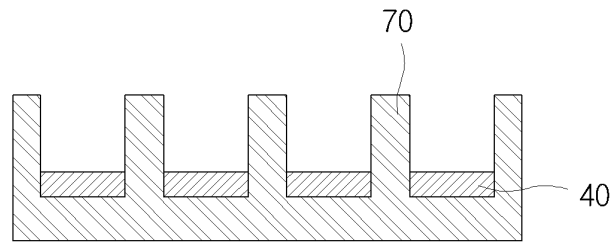


도면11

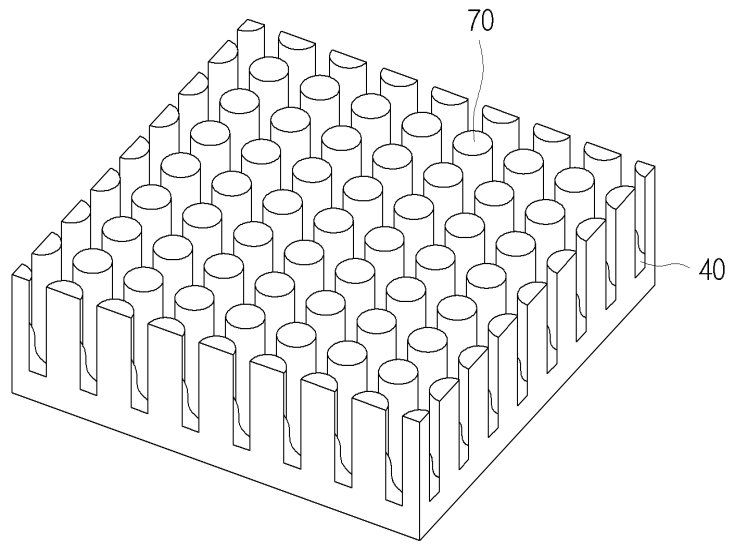




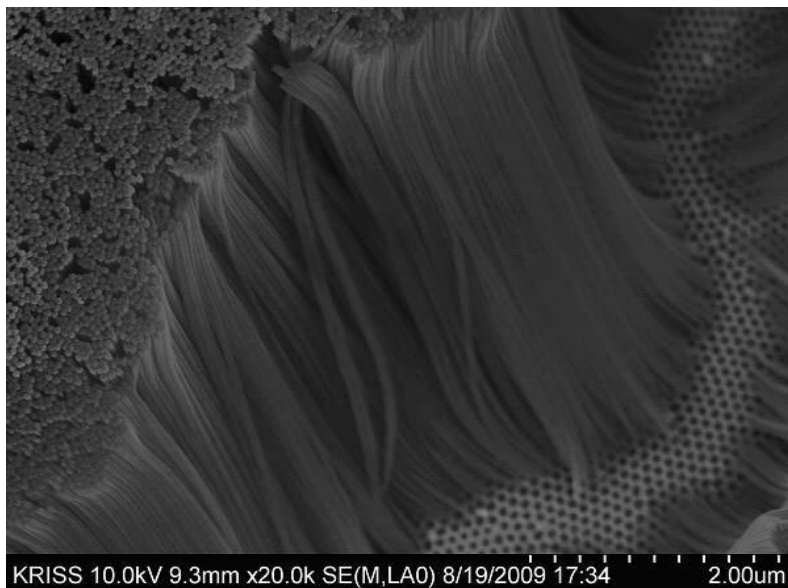
도면12



도면13



도면14



도면15

